

541, 583

(12)特許協力条約に基づいて公開された国際公開

(19) 世界知的所有権機関  
国際事務局



Rec'd PCT/PTO 07 JUL 2005



10/541583

(43) 国際公開日  
2004 年 7 月 22 日 (22.07.2004)

PCT

(10) 国際公開番号

WO 2004/061978 A1

- (51) 国際特許分類<sup>7</sup>: H01L 29/812, 21/338
- (21) 国際出願番号: PCT/JP2003/016033
- (22) 国際出願日: 2003 年 12 月 15 日 (15.12.2003)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願2003-000842 2003 年 1 月 7 日 (07.01.2003) JP

(71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒108-8001 東京都港区芝五丁目7番1号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 岡本 康宏 (OKAMOTO, Yasuhiro) [JP/JP]; 〒108-8001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 宮

本 広信 (MIYAMOTO, Hironobu) [JP/JP]; 〒108-8001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 安藤 裕二 (ANDO, Yuji) [JP/JP]; 〒108-8001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 中山 達峰 (NAKAYAMA, Tatsuo) [JP/JP]; 〒108-8001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 井上 隆 (INOUE, Takashi) [JP/JP]; 〒108-8001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 葛原 正明 (KUZUHARA, Masaaki) [JP/JP]; 〒108-8001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP).

(74) 代理人: 速水 進治 (HAYAMI, Shinji); 〒150-0021 東京都渋谷区恵比寿西2-17-16 代官山TKビル1階 Tokyo (JP).

(81) 指定国 (国内): CN, KR, US.

(84) 指定国 (広域): ヨーロッパ特許 (DE).

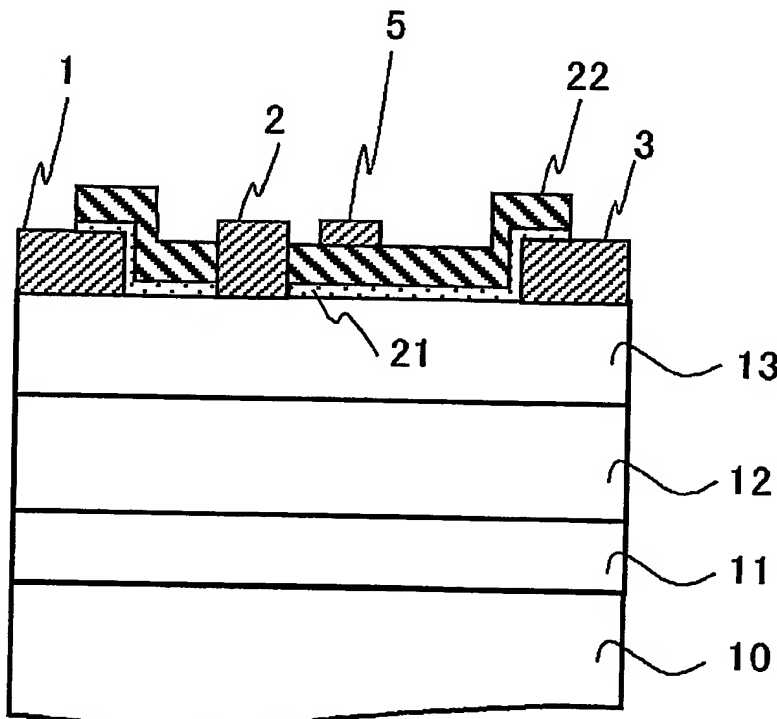
添付公開書類:

— 国際調査報告書

[続葉有]

(54) Title: FIELD-EFFECT TRANSISTOR

(54) 発明の名称: 電界効果トランジスタ



(57) Abstract: An electric-field controlling electrode (5) is formed between a gate electrode (2) and a drain electrode (3). A multilayer film composed of an SiN film (21) and an SiO<sub>2</sub> film (22) is formed under the electric-field controlling electrode (5). The SiN film (21) is so formed as to cover the surface of an AlGaIn electron supply layer (13).

(57) 要約: ゲート電極 (2) およびドレイン電極 (3) の間に、電界制御電極 (5) を形成する。電界制御電極 (5) の下に、SiN 膜 (21) および SiO<sub>2</sub> 膜 (22) からなる積層膜を形成する。SiN 膜 (21) は AlGaIn 電子供給層 (13) の表面を覆うように形成する。

WO 2004/061978 A1

W●2004/061978 A1



2文字コード及び他の略語については、定期発行される  
各PCTガゼットの巻頭に掲載されている「コードと略語  
のガイダンスノート」を参照。

## 明細書

## 電界効果トランジスタ

## 5 技術分野

本発明は、III 族窒化物半導体を用いた電界効果トランジスタに関するものである。

## 背景技術

10 GaNをはじめとする III 族窒化物半導体は、バンドギャップが大きく、絶縁破壊電界が高く、電子の飽和ドリフト速度が大きい上、ヘテロ接合による二次元キャリアガスの利用が可能であるため、高温動作、高速スイッチング動作、大電力動作等の点で優れる電子素子を実現する材料として期待を集めている。

15 こうした III 族窒化物半導体を用いたトランジスタでは、基板表面に大きな負電荷が発生し、トランジスタ性能に大きな影響を与える。以下、この点について説明する。

アンドープ GaN の上に Al GaN を成長すると、自発分極とpiezo分極との両作用によりヘテロ界面に正の固定電荷が発生する。このとき Al GaN 表面には負の分極電荷が発生する。分極電荷濃度は Al GaN の組成によって変化するが、Al GaN / GaN ヘテロ構造では、 $1 \times 10^{13} / \text{cm}^2$  オーダーの極めて大きなシート電子濃度が発生する。この現象は、例えば、非特許文献 1 において詳しく解説されている。このヘテロ構造にオーミック電極を形成し電極間に電界を印加すると、 $1 \times 10^{13} / \text{cm}^2$  オーダーの高電子濃度の電荷輸送に基づく電流が流れる。このように、III 族窒化物半導体素子では、不純物のドーピングにより発生したキャリアにより駆動する GaAs 系半導体 FET とは異なり、自発分極とpiezo分極との両作用により発生する高濃度のキャリアによって動作する。

25

このような機構により動作する III 族窒化物半導体トランジスタにおいては、利得を良好にしつつ耐圧をあげることが要望される。耐圧を改良する方法として、従来、以下の技術が知られている。

5 非特許文献 2 には、ゲート電極のドレイン側にひさし状のフィールドプレート  
を設け、この下に SiN 膜を配置した構成が記載されている。図 18 に、  
この H J F E T の概略構造を示す。この H J F E T は、SiC 基板 110 上  
に形成される。基板 110 上には半導体層からなるバッファ層 111 が形成  
されている。このバッファ層 111 上に GaN チャネル層 112 が形成され  
10 ている。チャネル層の上には、AlGaIn 電子供給層 113 が形成されてい  
る。この電子供給層上にはオーム性接触がとられたソース電極 101 および  
ドレイン電極 103 があり、その間にフィールドプレート 105 およびショ  
ットキー性接触がとられたゲート電極 102 がある。電子供給層 113 の表  
面は SiN 膜 121 で覆われており、フィールドプレート部 105 の直下には  
15 この SiN 膜 121 が配置されている。同文献によれば、こうした構成を  
採用することによりゲート耐圧が改善されると記載されている。

特許文献 1 には、GaAs 系半導体素子において、ゲート電極とドレイン  
電極との間に電界制御電極を設ける技術が開示されている。同文献には、こ  
うした電界制御電極を設けることにより、ゲート電極のドレイン側端部にお  
ける電界集中が緩和され、素子性能が向上することが記載されている。

20 こうした技術は、トランジスタの耐圧を向上させる点では効果的であるが、  
ヘテロ接合を含む III 族窒化物半導体素子の設計にあつては、このような改  
善のみでは必ずしも充分とはいえない。III 族窒化物半導体素子においては、  
ヘテロ接合部でキャリアガスが発生するのにもない半導体層構造表面に  
負電荷が誘起され、これがトランジスタの諸特性に大きな影響を及ぼすこと  
25 から、耐圧の向上等も、表面負電荷の制御技術と一体に検討されなければな  
らないからである。以下、この点について説明する。

ヘテロ接合を含む III 族窒化物半導体の積層構造では、ピエゾ分極等により  
チャネル層に大きな電荷が発生する一方、AlGaIn 等の半導体層表面に

負電荷が発生することが知られている（非特許文献1）。こうした負電荷は、ドレイン電流に直接作用し、素子性能に強い影響を及ぼす。具体的には、表面に大きな負電荷が発生すると交流動作時の最大ドレイン電流が直流時に比べて劣化する。この現象を以下、コラプスと称する。コラプスは III 族窒化物半導体を用いた素子に顕著に発生し、GaAs 系半導体素子では顕在化していなかった。AlGaAs/GaAs 系ヘテロ接合では分極電荷の発生は極めて小さいためである。

こうした問題に対し、従来、SiN からなる表面保護膜を形成することで対応がなされていた。SiN を設けない構造では高電圧印加時に十分な電流が得られず、GaN 系半導体材料を用いるメリットを得ることが困難である。こうした事情を踏まえ、III 族窒化物半導体 FET の分野では、表面に SiN 膜を設けることが必須であるという共通認識があり、技術常識となっていた。以下、こうした従来のトランジスタの一例について説明する。

図 17 は、従来技術によるヘテロ接合電界効果トランジスタ（Hetero-Junction Field Effect Transistor；以下 HJFET という）の断面構造図である。このような従来技術の HJFET は、例えば非特許文献 3 に報告されている。この HJFET は、サファイア基板 109 の上に AlN からなるバッファ層 111、GaN チャネル層 112 および AlGaN 電子供給層 113 がこの順で積層されている。その上にソース電極 101 とドレイン電極 103 が形成されており、これらの電極は AlGaN 電子供給層 113 にオーム性接触している。また、ソース電極 101 とドレイン電極 103 の間にゲート電極 102 が形成され、このゲート電極は AlGaN 電子供給層 113 にショットキー性接触している。最上層には表面保護膜として SiN 膜 121 が形成されている。

非特許文献 1 U.K.Mishra, P.Parikh, and Yi-Feng Wu, "AlGaIn/GaN HEMTs -An overview of device operation and applications," Proc. IEEE, vol.90, No.6, pp.1022-1031, 2002.

非特許文献 2 2001 年エレクトロニクス・レターズ (Electronics

Letters vol.37 p.196-197)、L i 等

非特許文献3 2001年インターナショナル・エレクトロン・デバイス・ミーティング・ダイジェスト(IEDM01-381~384)、安藤(Y.Ando)

特許文献1 特開2000-3919号公報

5 発明の開示

ところが、こうしたS i Nを設けた構成では、コラプスが改善する代わりにゲート耐圧が低下する。すなわち、コラプス量とゲート耐圧の間にトレードオフが存在し、その制御が非常に困難となる。図19は、電界制御電極を設けない図17の構造を有するH J F E Tを試作し、表面保護膜S i Nの厚さ  
10 さとコラプス量およびゲート耐圧の関係を評価した結果を示す。図中、丸印がコラプス、三角印がゲート耐圧に対応する。

このようにコラプスが顕著な素子の表面にS i N膜を形成すると、コラプス量を減らすことができる。図19を参照して、S i N膜がない場合(膜厚0nm)では60%以上のコラプス量であるが、S i N膜厚100nmとした場合、コラプス量は10%以下に抑制できる。このようにコラプスを充分  
15 に低減するためには、S i N膜の厚みを一定程度厚くすることが必要となる。しかしながら、S i N膜を厚くした場合、表面負電荷が打ち消され、ゲートドレイン間の電界集中が顕著になり、ゲート耐圧が低下する。すなわち、コラプスとゲート耐圧の間にトレードオフが存在する。

20 くわえて、コラプスを充分に低減するためにS i N膜を厚くした場合、電界制御電極直下絶縁膜の膜質経時劣化により信頼性が低下する。すなわち、コラプスと信頼性に関してもトレードオフが存在する。

以上のように、S i N膜を保護膜とするG a N系H J F E Tでは、こうした複数のトレードオフが存在し、それぞれS i N膜の厚さの違いによってその  
25 バランスが定まる。これは、ヘテロ界面を持つIII族窒化物半導体素子に特有の表面負電荷に起因する事情であり、III族窒化物半導体素子の設計にあたっては、こうした表面負電荷の取扱いに充分に配慮する必要がある。

なお、S i N膜に代え、S i O<sub>2</sub>膜を保護膜とする場合、コラプスとゲー

ト耐圧の関係は図 20 のようになる(この場合も図 17 に示す構成のもので、電界制御電極を設けない構成の場合である)。この場合、膜厚依存性は現れないが、SiN 膜を用いた場合と同様、コラプスとゲート耐圧を両立させることは困難である。

5       このように、GaN をはじめとする III 族窒化物半導体からなる HJFET に特有の事情から、かかる素子の性能向上を検討するにあたっては、GaAs 系半導体素子の設計とは異なる観点からの検討が必要となる。

10       本発明は上記事情に鑑みなされたものであって、その目的とするところは、コラプスおよびゲート耐圧のバランスに優れたトランジスタを提供することにある。また本発明の別の目的は、コラプスおよびゲート耐圧の性能のバランスにくわえ、さらに、信頼性および高周波特性の優れるトランジスタを提供することにある。

15       AlGaN 表面に発生する負の分極電荷は、その上に堆積する保護膜(パッシベーション膜)の電気的性質によってその FET 特性に大きな影響を与える。一般に表面に大きな負の固定電荷が存在すると、大きなゲート耐圧が得られるが、交流動作時の最大ドレイン電流が直流時に比べて劣化する傾向が見られる。一方、表面の負電荷量が小さいと、逆にゲート耐圧は小さいが交流動作時の最大ドレイン電流の劣化も少ない。FET の動作は、一般にこのトレードオフ関係に支配されるが、AlGaN/GaN ヘテロ構造では、  
20       表面に  $1 \times 10^{13} / \text{cm}^2$  オーダーの負電荷が発生するため、表面パッシベーションの品質により、前述のトレードオフ関係が極めて顕著に現れる。耐圧の値が、表面パッシベーションの状態の違いにより 1 桁以上変化することも珍しくない。このように大きな変化は、GaAs 系 FET では見られない現象である。逆にいえば、GaN 系 FET は表面状態に極めて敏感なデバイス  
25       であり、その電気特性において高い性能を高歩留まりで安定的に得るためには、表面パッシベーション膜の制御に細心の注意を払う必要がある。

      本発明者は、こうした観点から検討を進め、電界制御電極を備える素子電極構造にするとともに、電界制御電極下の保護膜を特定の材料、特定の構造、

とすることにより、これらの相乗作用により前記したトレードオフにおける性能のバランスを有効に改善できることを見いだした。さらに本発明の構成では電界制御電極を独立制御できるため、コラプスを有効に低減でき、さらに、利得の低下も抑制できるという非常に優れたトランジスタを実現できることを見いだした。本発明は、こうした新規な知見に基づきなされたものである。

以下、本発明の構成について説明する。

本発明によれば、ヘテロ接合を含む III 族窒化物半導体層構造と、該半導体層構造上に離間して形成されたソース電極およびドレイン電極と、前記ソース電極と前記ドレイン電極の間に配置されたゲート電極と、を備え、前記ゲート電極と前記ドレイン電極との間の領域において、前記 III 族窒化物半導体層構造の上部に絶縁膜を介して電界制御電極が形成され、前記絶縁膜が、シリコンおよび窒素を構成元素として含む第一の絶縁膜と、前記第一の絶縁膜よりも低い比誘電率を有する第二の絶縁膜とを含む積層膜であることを特徴とする電界効果トランジスタが提供される。

本発明によれば、電界制御電極を備えるとともに、この電界制御電極と半導体層構造の表面との間に、上記構成の積層膜が形成された構成を有している。このため、これらの相乗作用により、コラプスおよびゲート耐圧のバランスが顕著に改善される。また、製造プロセス上等のばらつきにより表面状態が変動した場合でも、こうした良好な性能を安定して実現することができる。

また、本発明は、表面負電荷の影響を低減するための第一の絶縁膜を設けつつ、電界制御電極直下の容量を低減するための第二の絶縁膜を設けている。すなわち、第一の絶縁膜の作用により表面負電荷の影響が低減される一方、第一の絶縁膜よりも低い比誘電率を有する第二の絶縁膜、たとえば、窒素を含有しない膜によりゲート耐圧が向上する。さらに、電界制御電極下の領域における絶縁膜の膜質経時劣化および容量の増大を有効に抑制することができ、信頼性および高周波利得に優れるトランジスタが得られる。



ここで、前記第一の絶縁膜は前記 III 族窒化物半導体層構造の表面に接して形成され、前記第二の絶縁膜が前記第一の絶縁膜上に積層された構成とすることができる。こうすることによりコラプスの改善がより顕著となる。第一の絶縁膜は、好ましくは 150 nm 以下、より好ましくは 100 nm 以下とする。こうすることによって、電界制御電極下の容量を確実に低減でき、高周波利得が向上する。

本発明において、第二の絶縁膜の比誘電率を 3.5 以下としてもよい。こうすることによって、電界制御電極下の容量を低減でき、さらに利得が向上する。

また本発明において、第二の絶縁膜上に、シリコンおよび窒素を構成元素として含む第三の絶縁膜をさらに備えた構成としてもよい。絶縁膜の最上層をシリコンおよび窒素を構成元素として含む化合物により構成することにより、この素子の製造工程においてレジストを安定的に形成しやすくなる等の利点が得られる。この結果、上記のように性能が改善されたトランジスタを製造する際の歩留まりを向上させることができる。

また本発明において、第一および第二の絶縁膜を含む積層膜からなる前記絶縁膜が、前記ゲート電極から離間して設けられ、この離間部分に前記第二の絶縁膜が設けられている構成とすることができる。こうすることにより、コラプスおよびゲート耐圧の性能バランスをより顕著に改善することができる。

さらに本発明によれば、ヘテロ接合を含む III 族窒化物半導体層構造と、該半導体層構造上に離間して形成されたソース電極およびドレイン電極と、前記ソース電極と前記ドレイン電極の間に配置されたゲート電極とを備え、前記ゲート電極と前記ドレイン電極との間の領域において、前記 III 族窒化物半導体層構造の上部に絶縁膜を介して電界制御電極が形成され、前記絶縁膜はシリコンおよび窒素を構成元素として含むことを特徴とする電界効果トランジスタが提供される。

また本発明によれば、ヘテロ接合を含む III 族窒化物半導体層構造と、該

半導体層構造上に離間して形成されたソース電極およびドレイン電極と、前記ソース電極と前記ドレイン電極の間に配置されたゲート電極と、を備え、前記ゲート電極と前記ドレイン電極との間の領域において、前記 III 族窒化物半導体層構造の上部に絶縁膜を介して電界制御電極が形成され、前記絶縁膜がシリコン、酸素および炭素を構成元素として含む絶縁膜であることを特徴とする電界効果トランジスタが提供される。

本発明によれば、電界制御電極とその下の絶縁膜との相乗作用により、コラプスおよびゲート耐圧のバランスが顕著に改善される。

上記化合物は、さらに酸素や炭素等を構成元素として含んでいても良い。こうすれば、絶縁膜の材料が、シリコン、窒素にくわえ、酸素や炭素を構成元素として含むこととなるため、SiN 等比べ膜中の内部応力が顕著に低減される。このため、比較的良好なコラプスおよびゲート耐圧を実現しつつ、電界制御電極直下の領域に位置する絶縁膜の膜質劣化を有効に抑制することができる。また、SiN に比べて比誘電率が低くなるため、電界制御電極下の領域に発生する容量を低減できる。以上により、本発明によれば、信頼性および高周波利得に優れるトランジスタが得られる。

本発明によれば、ヘテロ接合を含む III 族窒化物半導体層構造と、該半導体層構造上に離間して形成されたソース電極およびドレイン電極と、前記ソース電極と前記ドレイン電極の間に配置されたゲート電極と、を備え、前記ゲート電極と前記ドレイン電極との間の領域において、前記 III 族窒化物半導体層構造の上部に絶縁膜を介して電界制御電極が形成され、前記絶縁膜は、前記ゲート電極側は窒素を構成元素として含まない絶縁材料により構成され、前記ドレイン電極側はシリコンおよび窒素を構成元素として含む絶縁材料により構成されていることを特徴とする電界効果トランジスタが提供される。

この電界効果トランジスタにおいて、前記絶縁膜のうち前記ドレイン電極側に設けられる絶縁材料が、シリコンおよび窒素の他、さらに酸素または／および炭素を構成元素として含む構成とすることができる。

本発明によれば、上記絶縁膜が、ゲート電極側においては窒素を含まない比較的誘電率の低い材料により構成されているため、電界制御電極、半導体層構造およびこれらの間の絶縁膜により構成される容量を小さくすることができる。この結果、ゲート耐圧と、信頼性および高周波利得との性能バランスに優れるトランジスタが得られる。また、ドレイン電極側においては、シリコン、窒素および酸素を構成元素として含む化合物、たとえばSiNが形成されるため、表面負電荷による性能低下を低減することができる。

また本発明によれば、ヘテロ接合を含むIII族窒化物半導体層構造と、該半導体層構造上に離間して形成されたソース電極およびドレイン電極と、前記ソース電極と前記ドレイン電極の間に配置されたゲート電極とを備え、前記ゲート電極と前記ドレイン電極との間の領域において、前記III族窒化物半導体層構造の上部に絶縁膜を介して電界制御電極が形成され、前記絶縁膜の比誘電率が3.5以下であることを特徴とする電界効果トランジスタが提供される。

本発明によれば、電界制御電極を備えるとともに、この電界制御電極と半導体層構造の表面との間に、上記構成の低誘電率膜が形成されている。電界制御電極直下の領域に低誘電率膜が形成されているため、この領域に位置する絶縁膜に高電圧が印加されることを回避できる。これにより、電界制御電極下の絶縁膜の膜質経時劣化が有効に抑制され、素子の信頼性が顕著に向上する。また、低誘電率膜の利用により、電界制御電極、半導体層構造およびこれらの間の絶縁膜により構成される容量を小さくすることができるので、高周波利得も改善される。この結果、本発明によれば、特にゲート耐圧と、信頼性および高周波利得との性能バランスに優れるトランジスタが得られる。なお、本発明における比誘電率3.5以下の絶縁膜は単層膜でも積層膜でもよく、比誘電率の平均値が3.5以下であればよい。

以上本発明に係るトランジスタの構成について説明したが、これらの構成において、以下の構成を組み合わせても良い。

前記III族窒化物半導体層構造は、たとえば $\text{In}_x\text{Ga}_{1-x}\text{N}$  ( $0 \leq x \leq 1$ )

からなるチャネル層および  $\text{Al}_y\text{Ga}_{1-y}\text{N}$  ( $0 < y \leq 1$ ) からなる電子供給層を含む構成とすることができる。チャネル層および電子供給層の積層順序は任意である。この半導体層構造に、適宜、中間層やキャップ層を設けても良い。

5 前記ソース電極と前記 III 族窒化物半導体層構造の表面との間および前記ドレイン電極と前記 III 族窒化物半導体層構造の表面との間に、コンタクト層が介在する構成としてもよい。コンタクト層を備える構成は、いわゆるワイドリセス構造とよばれる。かかる構成を採用した場合、電界制御電極およびその直下の絶縁膜構造との相乗作用により、ゲート電極のドレイン側端部  
10 の電界集中をより効果的に分散・緩和することができる。なおリセス構造とする場合、多段リセスとすることもできる。こうした構成を採用する場合、電界制御電極は、前記コンタクト層の上部まで延在した構成とすることができる。このようにすれば、ドレイン側における電界集中も緩和することが可能となる。このように電界制御電極を延在した場合、ドレイン電極とのオー  
15 ーラップによるドレイン電極端部の電界集中が問題となるが、コンタクト層の存在により、かかる問題が低減される。ここで、コンタクト層をアンドープ  $\text{AlGaIn}$  層、すなわち意図的にドーピングをしていない  $\text{AlGaIn}$  層により構成すると、ドレイン電極端部の電界集中を顕著に低減できる。

また、前記 III 族窒化物半導体層構造は、 $\text{In}_x\text{Ga}_{1-x}\text{N}$  ( $0 \leq x \leq 1$ ) からなるチャネル層、 $\text{Al}_y\text{Ga}_{1-y}\text{N}$  ( $0 < y \leq 1$ ) からなる電子供給層および  $\text{GaIn}$  からなるキャップ層がこの順で積層した構造を有するものとしてもよい。このようにすれば、実効的なショットキー高さを高くでき、さらに高いゲート耐圧が実現できる。すなわち、電界制御電極、電界制御電極直下の積層膜および本実施例による  $\text{GaIn}$  キャップ層の相乗作用により、一層  
25 優れたゲート耐圧が得られる。

ゲート電極とドレイン電極との間の距離を、ゲート電極とソース電極との間の距離よりも長くすることもできる。いわゆるオフセット構造と呼ばれるものであり、ゲート電極のドレイン側エッジ部の電界集中をより効果的に分

散、緩和することができる。また電界制御電極を形成しやすくなるという製造上の利点もある。

本発明において、電界制御電極がゲート電極に対して独立に制御可能である構成とすることができる。すなわち、電界制御電極およびゲート電極に対して異なる電位を付与することができる。こうした構成とすることにより、  
5 電界効果トランジスタを最適な条件で駆動することが可能となる。

以上説明したように、本発明の電界効果トランジスタは、コラプスの抑制と高いゲート耐圧を同時に実現できる。これにより、高電圧の大信号動作時の出力特性が大幅に改善する。

10

#### 図面の簡単な説明

上述した目的、およびその他の目的、特徴および利点は、以下に述べる好適な実施の形態、およびそれに付随する以下の図面によってさらに明らかになる。

15 図 1 は、実施例に係るトランジスタの構造を示す図である。

図 2 は、実施例に係るトランジスタの構造を示す図である。

図 3 は、実施例に係るトランジスタの構造を示す図である。

図 4 は、実施例に係るトランジスタの構造を示す図である。

図 5 は、実施例に係るトランジスタの構造を示す図である。

20 図 6 は、実施例に係るトランジスタの構造を示す図である。

図 7 は、実施例に係るトランジスタの構造を示す図である。

図 8 は、実施例に係るトランジスタの構造を示す図である。

図 9 は、実施例に係るトランジスタの構造を示す図である。

図 10 は、実施例に係るトランジスタの構造を示す図である。

25 図 11 は、実施例に係るトランジスタの構造を示す図である。

図 12 は、実施例に係るトランジスタの構造を示す図である。

図 13 は、実施例に係るトランジスタの構造を示す図である。

図 14 は、実施例に係るトランジスタの構造を示す図である。

図 1 5 は、実施例に係るトランジスタの構造を示す図である。

図 1 6 は、実施例に係るトランジスタの構造を示す図である。

図 1 7 は、従来のトランジスタの構造を示す図である。

図 1 8 は、従来のトランジスタの構造を示す図である。

5 図 1 9 は、ゲート耐圧とコラプスのトレードオフを説明するための図である。

図 2 0 は、ゲート耐圧とコラプスのトレードオフを説明するための図である。

図 2 1 は、実施例に係るトランジスタの製造方法を説明する図である。

10 図 2 2 は、実施例に係るトランジスタの製造方法を説明する図である。

図 2 3 は、実施例に係るトランジスタの製造方法を説明する図である。

図 2 4 は、実施例に係るトランジスタの製造方法を説明する図である。

図 2 5 は、実施例に係るトランジスタの製造方法を説明する図である。

図 2 6 は、実施例に係るトランジスタの製造方法を説明する図である。

15 図 2 7 は、実施例に係るトランジスタの製造方法を説明する図である。

図 2 8 は、S i O N の成膜可能膜厚を説明する図である。

図 2 9 は、ゲート耐圧とコラプス電流変化の関係を示す図である。

図 3 0 は、ゲート耐圧とコラプス電流変化の関係を示す図である。

図 3 1 は、絶縁膜の厚みと利得の関係を示す図である。

20

発明を実施するための最良の形態

以下、実施例により本発明の実施の形態を説明する。なお、以下の実施例では III 族窒化物半導体層の成長基板として c 面 S i C を用いた例について説明する。

25 (第 1 の実施例)

図 1 は、この実施例の H J F E T の断面構造を示す。この H J F E T は、S i C などの基板 1 0 上に形成される。基板 1 0 上には半導体層からなるバッファ層 1 1 が形成されている。このバッファ層 1 1 上に G a N チャネル層

1 2 が形成されている。チャネル層の上には、 $\text{AlGaIn}$  電子供給層 1 3 が形成されている。この電子供給層上にはオーム性接触がとられたソース電極 1 およびドレイン電極 3 があり、その間に、電界制御電極 5 を有しショットキー性接触がとられたゲート電極 2 が設けられている。電子供給層 1 3 の表面は  $\text{SiN}$  膜 2 1 で覆われており、さらにその上層には  $\text{SiO}_2$  膜 2 2 が設けられている。電界制御電極 5 の直下にはこの  $\text{SiN}$  膜 2 1 および  $\text{SiO}_2$  膜 2 2 が設けられている。

以下、本実施例に係る H J F E T の製造方法について図 2 1 ~ 図 2 3 を参照して説明する。まず  $\text{SiC}$  からなる基板 1 0 上に、例えば分子線エピタキシ (Molecular Beam Epitaxy: MBE) 成長法によって半導体を成長させる。このようにして、基板側から順に、アンドープ  $\text{AlN}$  からなるバッファ層 1 1 (膜厚 20nm)、アンドープの  $\text{GaIn}$  チャネル層 1 2 (膜厚  $2 \mu\text{m}$ )、アンドープ  $\text{Al}_{1.2}\text{Ga}_{0.8}\text{In}$  からなる  $\text{AlGaIn}$  電子供給層 1 3 (膜厚 25 nm) が積層した半導体層構造が得られる (図 2 1 (a))。

次いで、エピタキシャル層構造の一部を  $\text{GaIn}$  チャネル層 1 2 が露出するまでエッチング除去することにより、素子間分離メサ (不図示) を形成する。続いて  $\text{AlGaIn}$  電子供給層 1 3 上に、例えば  $\text{Ti}/\text{Al}$  などの金属を蒸着することにより、ソース電極 1 およびドレイン電極 3 を形成し、 $650^\circ\text{C}$  でアニールを行うことによりオーム性接触を取る (図 2 1 (b))。続いてプラズマ CVD 法等により、 $\text{SiN}$  膜 2 1 (膜厚 50 nm) を形成する。さらにその上層に、常圧 CVD 法等により、 $\text{SiO}_2$  膜 2 2 (膜厚 150 nm) を形成する (図 2 2 (c))。  $\text{SiN}$  膜 2 1 および  $\text{SiO}_2$  膜 2 2 の一部をエッチング除去することによって  $\text{AlGaIn}$  電子供給層 1 3 の露出する開口部を設ける (図 2 2 (d))。露出した  $\text{AlGaIn}$  電子供給層 1 3 上に、フォトレジスト 3 0 を用いて  $\text{Ni}/\text{Au}$  などのゲート金属 3 1 を蒸着して、ショットキー接触のゲート電極 2 を形成する。またこれと同時に  $\text{Ni}/\text{Au}$  よりなる電界制御電極も形成する。(図 2 3 (e)、(f))。このようにして図 1 に示した H J F E T を作製する。なお、本実施例ではゲート電極 2 と電界制御

電極 5 を同時に形成する例を示したが、別々の工程（開口を設けたレジストを形成し、開口部に電極を形成する工程を別々に行う）で形成しても良い。この場合、ゲート電極 2 と電界制御電極 5 との間隔をより短い間隔で形成できる。

5       この実施例においては、ゲートドレイン間に高い逆方向電圧がかかった場合、ゲート電極のドレイン側端にかかる電界が、電界制御電極の働きにより緩和されることにより、ゲート耐圧が向上する。さらに大信号動作時には、表面電位を電界制御電極によって変調できるため、表面トラップの応答速度を速めてコラプスを抑制する効果がある。すなわち、コラプス、ゲート耐圧  
10   および利得のバランスを顕著に改善できる。また、製造プロセス上等のばらつきにより表面状態が変動した場合でも、こうした良好な性能を安定して実現することができる。

さらに、本実施例での電界制御電極はゲート電極に対して独立に制御することが可能である。この場合、表面電位を固定することにより、表面トラッ  
15   プの応答を抑止できるため、電界制御電極をゲート電極と同電位とし、表面電位を変調した場合よりも、さらに効果的にコラプスを抑制できる。特に、本発明の如く表面負電荷の影響が大きな問題となる III 族窒化物半導体素子ではこの電界制御電極を独立に制御できることの効果は著しい。

また、上記のように電界制御電極の電位を固定した場合、ゲート電極の電  
20   位が変位してもゲート容量がほとんど変化しないため、利得の低下を大幅に抑制することができる。

さらに、電界制御電極直下が SiN と SiO<sub>2</sub> の積層膜となる構成であるため SiN のみからなる構成に比べ耐圧を高くすることができる。また特に SiN 膜を膜質経時劣化しない程度に薄く形成し（150 nm 以下、より好  
25   ましくは 100 nm 以下）、一方、耐圧向上に有効に寄与する SiO<sub>2</sub> 膜を厚く積層することで容量の増大を有効に抑制することができる。この結果、信頼性および高周波利得に優れるトランジスタとすることができる。

電界制御電極の寸法は、0.3 μm 以上あれば、十分コラプス抑制の効果は



あり、好ましくは、 $0.5\mu\text{m}$ 以上とする。また、電界制御電極の端は、ドレイン電極とオーバーラップしない位置とすることが好ましい。電界制御電極の寸法は大きいほどコラプス抑制の効果は高いが、電界制御電極のドレイン電極側の端が、ゲート電極とドレイン電極の間隔（ゲート電極のドレイン電極側の端からドレイン電極のゲート電極側の端までの間隔）の70%を超えると、ゲート耐圧が電界制御電極とドレイン電極の間の電界集中で決まるため、逆にゲート耐圧が低下する傾向がある。このため、好ましくは電界制御電極の寸法をゲート電極とドレイン電極の間隔の70%以下とする。

この実施例では表面保護膜の上層として $\text{SiO}_2$ 膜を形成した例を示したが、利得の向上および信頼性の向上の観点から、比誘電率が4以下の低誘電率膜を用いることがさらに好ましい。こうした低誘電率材料として、 $\text{SiOC}$ （ $\text{SiOCH}$ とよばれる場合もある）、BCB（ベンゾシクロブテン）、FSG（fluoroSilicate glass:  $\text{SiOF}$ ）、HSQ（hydrogen-Silsesquioxane）、MSQ（methyl-Silsesquioxane）、有機ポリマー、あるいはこれらをポーラス化した材料が例示される。

### （第2の実施例）

本実施例では、図2に示す通り、AlGaIn電子供給層13上（III族窒化物半導体層上）に形成される絶縁膜を、 $\text{SiN}$ 膜21、 $\text{SiO}_2$ 膜22および $\text{SiN}$ 膜21がこの順で積層した3層構造としている。ゲート電極下の半導体の層構造はすでに述べた実施例と同様である。本実施例の構成では絶縁膜の最上層を $\text{SiO}_2$ 膜22でなく $\text{SiN}$ 膜21としているため、この素子の製造工程においてレジストを安定的に形成しやすくなり、歩留まりが向上する。なお、この場合、絶縁膜の最上部に設ける絶縁膜についても、最下層に設ける $\text{SiN}$ 膜と同様、膜の信頼性の観点から150nm以下、より好ましくは100nm以下の膜厚とする良く、さらには、できるだけ薄い膜とすることがより好ましい。

### （第3の実施例）

図3は、この実施例のHJFETの断面構造を示す。このHJFETは、

S i Cなどの基板 1 0 上に形成される。基板 1 0 上には半導体層からなるバッファ層 1 1 が形成されている。このバッファ層 1 1 上に G a N チャンネル層 1 2 が形成されている。チャンネル層の上には、A l G a N 電子供給層 1 3 が形成されている。この電子供給層上にはオーム性接触がとられたソース電極 1 およびドレイン電極 3 があり、その間に電界制御電極 5 およびショットキー性接触がとられたゲート電極 2 が設けられている。電子供給層 1 3 の表面は S i N 膜 2 1 で覆われており、電界制御電極 5 の直下にはこの S i N 膜 2 1 が設けられている。

上記 H J F E T は、以下のように形成される。まず S i C からなる基板 1 0 上に、例えば分子線エピタキシ成長法によって半導体を成長させる。このようにして形成した半導体層は、基板側から順に、アンドープ A l N からなるバッファ層 1 1 (膜厚 20nm)、アンドープの G a N チャンネル層 1 2 (膜厚 2  $\mu$ m)、アンドープ A l <sub>0.2</sub>G a <sub>0.8</sub>N からなる A l G a N 電子供給層 1 3 (膜厚 25nm) である。

次いで、エピタキシャル層構造の一部を G a N チャンネル層 1 2 が露出するまでエッチング除去することにより、素子間分離メサを形成する。続いて A l G a N 電子供給層 1 3 上に、例えば T i / A l などの金属を蒸着することにより、ソース電極 1 およびドレイン電極 3 を形成し、650℃でアニールを行うことによりオーム性接触を取る。続いてプラズマ C V D 法等により、S i N 膜 2 1 (膜厚 150nm) を形成する。S i N 膜 2 1 の一部をエッチング除去することによって露出した A l G a N 電子供給層 1 3 上に例えば N i / A u などの金属を蒸着してショットキー接触のゲート電極 2 を形成し、同時に電界制御電極 5 も形成する。このようにして図 3 に示した H J F E T を作製する。

本実施例のトランジスタは、表面保護膜を S i N 膜 2 1 とする。S i N 膜 2 1 は内部応力が大きいいため、厚く形成することができず、膜厚が薄くなるほどコラプスの抑制効果は小さくなる。しかし、本実施例の構成では電界制御電極 5 をゲート電極 2 とドレイン電極 3 との間に設け、この電界制御電極

5により表面電位を変調できるため、効果的にコラプスを抑制できる。さらに、この電界制御電極5をゲート電極2に対して独立して制御することで、さらに効果的にコラプスを抑制可能である。これは、例えば電界制御電極5を表面負電荷の発生を抑制するような電位に固定することで、電界制御電極5をゲート電極2と同電位として電位を変調する場合に比べて安定的にコラプスの抑制ができるためである。なお、例えば電界制御電極5をソース電極1と同電位としても良く、この場合、独立制御する場合よりデバイス構成を簡略化できる。また、本実施例の電界制御電極を独立に制御できる構成では、非特許文献2に記載のフィールドプレート電極に比べ表面保護膜の膜厚が薄くとも、利得が高く高周波特性に優れたトランジスタを実現できる。これは、フィールドプレート電極の場合、ゲート電極とフィールドプレート電極（ゲート電極を除いた部分）の電位が一緒に変化し、ゲート容量が変化することで利得の低下が起こる。一方、電界制御電極の場合、ゲートと独立して制御できるため、例えば同電位に固定した場合、ゲート電極の電位が変化しようが、ゲート容量は変化せず利得の低下を抑制することが可能となることによる。

図29、図30は、ゲート耐圧とコラプスの性能バランスを、本実施例に係るトランジスタと、従来のトランジスタとを比較した図である。ここで、Gr.1～Gr.3の試作デバイスは、電界制御電極の有無および電界制御電極への電位のかけ方以外は同一である。

Gr. 1

電界制御電極：有（電位は0Vに固定）

電界制御電極の寸法：0.5  $\mu\text{m}$

ゲート電極と電界制御電極間距離：0.5  $\mu\text{m}$

保護膜：SiN膜の膜厚が10, 40, 60, 90, 120 nmのもの5点を評価した。

Gr. 2

電界制御電極：なし

保護膜：SiN膜10、40、60、90、120nmとしたデバイス5点を評価した。

Gr. 3

電界制御電極：有（電位は0Vに固定）

5 電界制御電極の寸法：0.5  $\mu\text{m}$

ゲート電極と電界制御電極間距離：1.0  $\mu\text{m}$

保護膜：SiN膜の膜厚が10、40、60、90、120nmのもの5点を評価した。

10 図29は上記Gr. 1とGr. 2のデバイスの特性図、図30は、Gr. 3とGr. 2のデバイスの特性図である。本発明の構成のデバイスでは、高いゲート耐圧と、コラプスの抑制を両立できていることがわかる。また、特にコラプスは、電界制御電極の寸法が大きいほどその抑制効果が大きい。

15 ただ、電界制御電極の寸法は、0.3  $\mu\text{m}$ 以上あれば、十分コラプス抑制の効果はあり、好ましくは、0.5  $\mu\text{m}$ 以上とする。また、電界制御電極の端は、ドレイン電極とオーバーラップしない位置とすることが好ましい。電界制御電極の寸法は大きいほどコラプス抑制の効果は高いが、電界制御電極のドレイン電極側の端が、ゲート電極とドレイン電極の間隔（ゲート電極のドレイン電極側の端からドレイン電極のゲート電極側の端までの間隔）の70%を超えると、ゲート耐圧が電界制御電極とドレイン電極の間の電界集中で決まるため、逆にゲート耐圧が低下する傾向がある。このため、好ましくは電界制御電極の寸法をゲート電極とドレイン電極の間隔の70%以下とする。

25 図31は利得とSiN膜の膜厚の関係である。図中には、非特許文献2に記載のフィールドプレート電極を有するトランジスタ（図18）、電界制御電極を設けた本実施例の構成のトランジスタ（図3）、及び従来のゲート電極のみのトランジスタそれぞれについて、SiN膜21の膜厚を変えた際の利得の変化を示している。フィールドプレート電極の長さ（底部分の長さ）は1  $\mu\text{m}$ 、本実施例構成の電界制御電極の寸法を0.5  $\mu\text{m}$ 、及び、ゲート電極と電界制御電極との間隔を0.5  $\mu\text{m}$ とし、電界制御電極は0Vに固定

した。図31に示す通り、本実施例の構成のトランジスタではSiN膜21の膜厚が50nmから200nmに渡り、利得の低下がフィールドプレート電極を有するトランジスタの場合に比べ顕著に抑制できることがわかる。このように、本実施例の構成のトランジスタは、高いゲート耐圧と、コラプスの抑制と、高利得をいずれも達成可能なトランジスタであると言える。

なお、本実施例の構成におけるSiN膜21の膜厚は膜の信頼性の観点から150nm以下とすることが好ましい。さらに100nm以下とするとより好ましい。また、膜厚が10nmより薄くなるとコラプスの抑制の効果が極端に小さくなるため、10nm以上とすることが好ましい。

この実施例において、電界制御電極5の寸法（ゲートドレイン電極方向の寸法）は、 $0.3\mu\text{m}$ 以上とすることが好ましい。さらに好ましくは $0.5\mu\text{m}$ 以上とする。また、電界制御電極の端は、ドレイン電極とオーバーラップしない位置とすることが好ましい。さらに好ましくは電界制御電極の寸法をゲート電極とドレイン電極の間隔の70%以下とする。

#### （第4の実施例）

図4は、この実施例のHJFETの断面構造を示す。このHJFETは、SiCなどの基板10上に形成される。基板10上には半導体層からなるバッファ層11が形成されている。このバッファ層11上にGaNチャネル層12が形成されている。チャネル層の上には、AlGaN電子供給層13が形成されている。この電子供給層上にはオーム性接触がとられたソース電極1およびドレイン電極3があり、その間に電界制御電極5およびショットキー性接触がとられたゲート電極2が設けられている。電子供給層13の表面はSiON膜23で覆われており、電界制御電極5の直下にはこのSiON膜23が設けられている。

上記HJFETは、以下のように形成される。まずSiCからなる基板10上に、例えば分子線エピタキシ成長法によって半導体を成長させる。このようにして形成した半導体層は、基板側から順に、アンドープAlNからなるバッファ層11（膜厚20nm）、アンドープのGaNチャネル層12（膜厚

2  $\mu\text{m}$ )、アンドープ  $\text{Al}_{0.2}\text{Ga}_{0.8}\text{N}$  からなる  $\text{AlGaIn}$  電子供給層 13 (膜厚 25 nm) である。

次いで、エピタキシャル層構造の一部を  $\text{GaN}$  チャネル層 12 が露出するまでエッチング除去することにより、素子間分離メサを形成する。続いて  $\text{AlGaIn}$  電子供給層 13 上に、例えば  $\text{Ti}/\text{Al}$  などの金属を蒸着することにより、ソース電極 1 およびドレイン電極 3 を形成し、650℃でアニールを行うことによりオーミック接触を取る。続いてプラズマ CVD 法等により、 $\text{SiON}$  膜 23 (膜厚 150 nm) を形成する。 $\text{SiON}$  膜 23 の一部をエッチング除去することによって露出した  $\text{AlGaIn}$  電子供給層 13 上に例えば  $\text{Ni}/\text{Au}$  などの金属を蒸着して、ショットキー接触のゲート電極 2 を形成し、同時に電界制御電極を形成する。このようにして図 4 に示した HJFET を作製する。

本実施例のトランジスタは、表面保護膜を  $\text{SiON}$  膜とする。 $\text{SiON}$  膜は、 $\text{SiN}$  膜に比べ、膜中に発生する内部応力が小さい。図 28 は、プラズマ CVD 法により  $\text{SiON}$  膜および  $\text{SiN}$  膜を成膜した場合において、クラックの発生なしに成長可能な膜厚を調査した結果を示す図である。ここでは  $\text{SiON}$  の酸素組成比を変え、対応する成長可能膜厚を調べた。酸素の組成比を増加することによって成長可能膜厚が増大することがわかる。すなわち、本実施例によれば、電界制御電極下を  $\text{SiN}$  膜としたときに比べて絶縁膜を厚く形成することができ、電界制御電極下の容量低減により高周波利得を改善することができる。

ここで、酸素比率が大きすぎると、コラプスの改善効果が十分に得られなくなる。本発明者の検討によれば、コラプス改善の観点からは酸素比率を 50% 以下とすることが好ましい。なお、コラプスおよび高周波利得の観点から、電界制御電極下の  $\text{SiON}$  膜は、200 nm 以上の膜厚とすることが望ましい。200 nm の成長可能膜厚に対応する酸素組成比は 5% (モル基準) であることから、 $\text{SiON}$  膜を用いる場合、5% 以上の酸素組成比とすることが好ましい。

この実施例のSiON膜は、屈折率が1.65以上2.05以下の範囲にあることが好ましい。

この実施例において、電界制御電極の寸法は、 $0.3\mu\text{m}$ 以上とすることが好ましい。さらに好ましくは、 $0.5\mu\text{m}$ 以上とする。また、電界制御電極の端は、ドレイン電極とオーバーラップしない位置とすることが好ましい。さらに好ましくは電界制御電極の寸法をゲート電極とドレイン電極の間隔の70%以下とする。

なお、上記例では保護膜をSiONとした例を示したが、これに限らず、SiCN、SiOCNなどを用いても良い。

#### (第5の実施例)

図5は、この実施例のHJFETの断面構造を示す。このHJFETは、SiCなどの基板10上に形成される。基板10上には半導体層からなるバッファ層11が形成されている。このバッファ層11上にGaNチャネル層12が形成されている。チャネル層の上には、AlGaN電子供給層13が形成されている。この電子供給層上にはオーム性接触がとられたソース電極1およびドレイン電極3があり、その間に電界制御電極5およびショットキー性接触がとられたゲート電極2が設けられている。電子供給層13の表面はSiOC膜24で覆われており、電界制御電極5の直下にはこのSiOC膜24が設けられている。

上記HJFETは、以下のように形成される。まずSiCからなる基板10上に、例えば分子線エピタキシ成長法によって半導体を成長させる。このようにして、基板側から順に、アンドープAlNからなるバッファ層11（膜厚20nm）、アンドープのGaNチャネル層12（膜厚 $2\mu\text{m}$ ）、アンドープ $\text{Al}_{0.2}\text{Ga}_{0.8}\text{N}$ からなるAlGaN電子供給層13（膜厚25nm）が積層した半導体層構造が得られる。

次いで、エピタキシャル層構造の一部をGaNチャネル層12が露出するまでエッチング除去することにより、素子間分離メサを形成する。続いてAlGaN電子供給層13上に、例えばTi/Alなどの金属を蒸着すること

により、ソース電極 1 およびドレイン電極 3 を形成し、650℃でアニールを行うことによりオーム性接触を取る。続いてプラズマCVD法によりSiOC膜24（膜厚200nm）を形成する。SiOC膜24の一部をエッチング除去することによって露出したAlGaN電子供給層13上に例えば

5 Ni/Auなどの金属を蒸着して、ショットキー接触のゲート電極2を形成し、同時に電界制御電極5も形成する。このようにして図5に示したHJFETを作製する。

この実施例は、表面保護膜をSiOC膜とした構造である。SiOC膜はSiN膜と比較してストレスが小さく、膜厚を厚くしてもAlGaN層のピエゾ分極に影響を与えない。このため、膜によるコラプス抑制の効果はないが、電界制御電極による表面電荷の制御によりコラプスを抑制する。この実施例において、電界制御電極の寸法は、0.3μm以上とすることが好ましく、さらに好ましくは、0.5μm以上とする。また、電界制御電極の端は、ドレイン電極とオーバーラップしない位置とすることが好ましい。さらに好ましくは電界制御電極の寸法をゲート電極とドレイン電極の間隔の70%以下とする。

10

15

この実施例では表面保護膜が比誘電率2.5程度のSiOC膜の場合を示したが、他の低誘電率膜（比誘電率3.5以下）を用いることもできる。この場合、膜中に発生するストレス（内部応力）が小さい膜であることが好ましい。こうした材料として、SiOC（SiOCHとよばれる場合もある）、BCB（ベンゾシクロブテン）、FSG(fluoroSilicate glass:SiOF)、HSQ(hydrogen-Silsesquioxane)、MSQ(methyl-Silsesquioxane)、有機ポリマー、あるいはこれらをポーラス化した材料が例示される。このほか、アルミナ等を用いても良い。また臨界膜厚以下のAlNを表面保護膜とすることにより、電界制御電極による効果に加えて、素子表面からの放熱を高める効果が得られる。これらの膜を組み合わせた多層膜構造においても同様の効果が得られる。

20

25

（第6の実施例）



本実施例は、保護膜の構造をゲート電極近傍では単層構造とし、ゲート電極から離れた領域では2層構造としている。ゲート電極下の半導体の層構造はすでに述べた実施例と同様であるので説明を省略する。

図6では、ゲート電極2と、SiN膜21とSiO<sub>2</sub>積層膜を離間して形成し、電界制御電極5の下部には、SiO<sub>2</sub>膜22単層の第一の領域と、この領域よりもドレイン側に位置する、SiN膜21上にSiO<sub>2</sub>膜22が積層した第二の領域とが形成されている。本実施例の構成では、ゲート電極側に耐圧向上に有効なSiO<sub>2</sub>膜を設け、一方、ドレイン電極側にはコラプス抑制の効果のあるSiN膜を設けている。このため、ゲート耐圧向上とともにコラプスも抑制した電界効果トランジスタを実現できる。さらに、本発明の構成では、電界制御電極をゲート電極と独立して制御することが可能であるため、コラプスをより抑制するよう調整することが可能である。また、電界制御電極を所定電位に固定することで（例えばソース電極と同電位とすることで）利得の低下も抑制できる。なお、本実施例での絶縁膜の構成では、ゲート電極側をSiO<sub>2</sub>膜、ドレイン電極側をSiN膜とSiO<sub>2</sub>膜の積層膜とする例を示したが、さらに、これら絶縁膜上にSiN膜を設けた構成としても良い。SiN膜はSiO<sub>2</sub>膜よりレジストとの密着性に優れており、製造工程において歩留まり良くトランジスタを製造できる利点がある。

以下、本実施例に係るHJFETの製造方法について図24～27を参照して説明する。まずSiCからなる基板10上に、例えば分子線エピタキシ(Molecular Beam Epitaxy:MBE)成長法によって半導体を成長させる。これにより、基板側から順に、アンドープAlNからなるバッファ層11（膜厚20nm）、アンドープのGaNチャネル層12（膜厚2μm）、アンドープAl<sub>0.2</sub>Ga<sub>0.8</sub>NからなるAlGaN電子供給層13（膜厚25nm）が積層した半導体層構造を得る（図24（a））。

次いで、エピタキシャル層構造の一部をGaNチャネル層12が露出するまでエッチング除去することにより、素子間分離メサ（不図示）を形成する。続いてAlGaN電子供給層13上に、例えばTi/Alなどの金属を蒸着

することにより、ソース電極 1 およびドレイン電極 3 を形成し、650℃でアニールを行うことによりオーム性接触を取る（図 24（b））。続いてプラズマ CVD 法等により、SiN 膜 21（膜厚 50 nm）を形成する（図 25（c））。つづいて SiN 膜 21 の一部をエッチング除去することによって AlGaIn 電子供給層 13 の露出する開口部を設ける（図 25（d））。この開口部を埋めるように基板全面に、常圧 CVD 法等により、SiO<sub>2</sub> 膜 22（膜厚 150 nm）を形成する（図 26（e））。次に SiO<sub>2</sub> 膜 22 の一部をエッチング除去することによって AlGaIn 電子供給層 13 の露出する開口部を設ける（図 26（f））。その後、露出した AlGaIn 電子供給層 13 上に、フォトリソ resist 30 を用いて Ni/Au などのゲート金属 31 を蒸着して、ショットキー接触のゲート電極 2 と、電界制御電極 5 を同時に形成する（図 27（g）、（h））。このようにして図 4 に示した HJFET を作製する。以上の手順により、図 4 に示すトランジスタを安定的に製造することが可能である。なお、上記例ではゲート電極 2 と電界制御電極 5 を同時に形成する例を示したが、別々の工程（フォトリソ resist 30 を各電極を形成する毎に設けて各々の電極を別々に形成する）により形成しても良い。この場合、ゲート電極 2、電界制御電極 5 をより制御性良く形成でき、例えば両電極の間隔を非常に狭く形成することが可能となる。

#### （第 7 の実施例）

図 7 は、この実施例の HJFET の断面構造を示す。この HJFET は、SiC などの基板 10 上に形成される。基板 10 上には半導体層からなるバッファ層 11 が形成されている。このバッファ層 11 上に GaN チャネル層 12 が形成されている。チャネル層の上には、AlGaIn 電子供給層 13 が形成されている。この電子供給層上にはオーム性接触がとられたソース電極 1 およびドレイン電極 3 があり、その間に、電子供給層 13 とショットキー性接触がとられたゲート電極 2 が設けられている。また、このゲート電極 2 とドレイン電極 3 との間には絶縁膜が設けられており、この絶縁膜上に電界制御電極 5 が設けられている。さらに、この絶縁膜は、ゲート電極側が Si

O<sub>2</sub>膜であり、ドレイン電極側がS i N膜で構成されている。

本実施例では、絶縁膜の構成が、ゲート電極側では耐圧向上に有効なS i O<sub>2</sub>膜とし、ドレイン電極側ではコラプス抑制に有効なS i N膜としている。また、コラプスの抑制は電界制御電極によっても可能であり、特に、電界制御電極をゲート電極と独立に制御することでより一層のコラプス抑制を図れる。また、電界制御電極を所定電位に固定することで利得の低下も有効に抑制できる。このため、本実施例の構成では、ゲート耐圧が高く、かつコラプスの影響が低く、かつ高周波特性に優れた電界効果トランジスタを実現できる。なお、本実施例の構成では、ゲート電極側にS i O<sub>2</sub>膜を設けたがゲート耐圧向上に有効な膜であれば良く、好ましくはNを含まない絶縁膜であれば良い。また、ドレイン電極側にはS i Nを設けたが、S i O N膜などを設けても良い。この場合、S i Nに比べ膜厚を厚く形成でき、利得の向上に有効である。

#### (第8の実施例)

本実施例は、ワイドリセス構造を採用したH J F E Tの例である。以下、図8を参照して説明する。

このH J F E Tは、S i Cなどの基板10上に形成される。ソース電極1およびドレイン電極3は、それぞれG a Nコンタクト層14の上に形成されている。基板10上には半導体層からなるバッファ層11が形成されている。このバッファ層11上にG a Nチャネル層12が形成されている。チャネル層の上には、A l G a N電子供給層13が形成されている。この電子供給層13上にコンタクト層14があり、コンタクト層に接してオーム性接触がとられたソース電極1およびドレイン電極3が設けられている。ソース電極1とドレイン電極3の間のコンタクト層を一部除去し、露出したA l G a N電子供給層13に接して、ショットキー性接触がとられたゲート電極2が設けられている。電子供給層13の表面はS i N膜21で覆われており、さらにその上層にはS i O<sub>2</sub>膜22が設けられている。さらに、そのS i O<sub>2</sub>22膜上には、電界制御電極5がゲート電極2とドレイン電極3との間に設けられ

ている。

この実施例は第 1 の実施例にコンタクト層を追加した構成であり、第 1 の実施例で述べた効果にくわえ、さらにコンタクト抵抗が低減できる。

また、ワイドリセス構造の採用により、ゲート電極 2 ドレイン側端部の電界分布が変化するため、電界制御電極 5 の機能とあわせ、より優れた電界緩和効果が得られる。

この実施例において、電界制御電極の寸法は、 $0.3\mu\text{m}$ 以上とすることが好ましい。さらに好ましくは  $0.5\mu\text{m}$ 以上とする。また、電界制御電極の端は、コンタクト層とオーバーラップしない位置とすることが好ましい。さらに好ましくは電界制御電極の寸法をゲート電極とコンタクト層の間隔の 70%以下とする。

なお、本実施例では電子供給層 13 上に設ける絶縁膜を  $\text{SiN}$  膜 21 と  $\text{SiO}_2$  膜 22 の積層膜の例を示したが、前述の実施例 2 や実施例 6 に記載したように、絶縁膜の構成を 3 層構成としたり、ゲート電極側とドレイン電極側とで、膜の構成を変えた構成とした場合においても同様の効果を有する。

(第 9 の実施例)

本実施例は、ワイドリセス構造を採用した H J F E T の例である。以下、図 9 を参照して説明する。

この H J F E T は、 $\text{SiC}$  などの基板 10 上に形成される。ソース電極 1 およびドレイン電極 3 は、それぞれ  $\text{GaN}$  コンタクト層 14 の上に形成されている。基板 10 上には半導体層からなるバッファ層 11 が形成されている。このバッファ層 11 上に  $\text{GaN}$  チャネル層 12 が形成されている。チャネル層の上には、 $\text{AlGaIn}$  電子供給層 13 が形成されている。この電子供給層 13 上にコンタクト層 14 があり、コンタクト層に接してオーム性接触がとられたソース電極 1 およびドレイン電極 3 が設けられている。ソース電極 1 とドレイン電極 3 の間のコンタクト層を一部除去し、露出した  $\text{AlGaIn}$  電子供給層 13 に接してショットキー性接触がとられたゲート電極 2 が設けられている。素子表面は  $\text{SiON}$  膜 23 で覆われており、この  $\text{SiON}$  膜 2

3 上には電界制御電極 5 がゲート電極 2 とドレイン電極 3 の間に設けられている。

この実施例は第 4 の実施例にコンタクト層を追加した構成であり、第 4 の実施例で述べた効果にくわえ、さらにコンタクト抵抗が低減できる。

5 また、ワイドリセス構造の採用により、ゲート電極 2 ドレイン側端部の電界分布が変化するため、電界制御電極 5 の機能とあわせ、より優れた電界緩和効果が得られる。

この実施例の SiON 膜は、屈折率が 1.65 以上 2.05 以下の範囲にあることが好ましい。

10 この実施例において、電界制御電極の寸法は、 $0.3\mu\text{m}$  以上とすることが好ましい。さらに好ましくは  $0.5\mu\text{m}$  以上とする。また、電界制御電極の端は、コンタクト層とオーバーラップしない位置とすることが好ましい。さらに好ましくは電界制御電極の寸法をゲート電極とコンタクト層の間隔の 70% 以下とする。

15 なお、本実施例では絶縁膜の構成を SiON 膜 23 としたが、実施例 3 に記載のように、SiN 膜としても良い。この場合、SiON 膜の場合より、膜厚を薄く制御する必要がある、好ましくは 150 nm 以下とする必要がある。また、実施例 7 記載のように、絶縁膜をゲート電極側とドレイン電極側で構成の異なる絶縁膜を設けた構成としても良い。

20 (第 10 の実施例)

この実施例は第 5 の実施例にコンタクト層 14 を追加した構成であり、第 5 の実施例で述べた効果にくわえ、さらにコンタクト抵抗が低減できる。以下、図 10 を参照して説明する。

25 また、ワイドリセス構造の採用により、ゲート電極 2 ドレイン側端部の電界分布が変化するため、電界制御電極 5 の機能とあわせ、より優れた電界緩和効果が得られる。

この実施例において、電界制御電極の寸法は、 $0.3\mu\text{m}$  以上とすることが好ましい。さらに好ましくは  $0.5\mu\text{m}$  以上とする。また、電界制御電極の端

は、コンタクト層とオーバーラップしない位置とすることが好ましい。さらに好ましくは電界制御電極の寸法をゲート電極とコンタクト層の間隔の70%以下とする。

(第11の実施例)

5 図11はこの実施例のHJFETの断面構造を示す。このHJFETは、SiCなどの基板10上に形成される。基板10上には半導体層からなるバッファ層11が形成されている。このバッファ層11上にGaNチャネル層12が形成されている。チャネル層の上には、AlGaN電子供給層13が形成されており、その上にGaNキャップ層15が形成されている。このGaNキャップ層上にはオーム性接触がとられたソース電極1およびドレイン電極3があり、その間に電界制御電極5を有し、ショットキー接触がとられたゲート電極2が設けられている。GaNキャップ層15の表面はSiN膜21で覆われており、さらにその上層にはSiO<sub>2</sub>膜22が設けられている。電界制御電極5の直下にはこのSiN膜21およびSiO<sub>2</sub>膜22が設けられている。

この実施例は、第1の実施例で半導体の最上部にGaNキャップ層を追加した構成であり、実効的なショットキー高さを高くすることによりさらに高いゲート耐圧が実現できる。すなわち、電界制御電極、電界制御電極直下の積層膜および本実施例によるGaNキャップ層の相乗作用により、優れたゲート耐圧が得られる。

この実施例において、電界制御電極の寸法は、0.3 $\mu$ m以上とすることが好ましい。さらに好ましくは、0.5 $\mu$ m以上とする。また、電界制御電極の端は、ドレイン電極とオーバーラップしない位置とすることが好ましい。さらに好ましくは電界制御電極の寸法をゲート電極とドレイン電極の間隔の70%以下とする。

25 なお、本実施例では電子供給層13上に設ける絶縁膜をSiN膜21とSiO<sub>2</sub>膜22の積層膜の例を示したが、前述の実施例2や実施例6に記載したように、絶縁膜の構成を3層構成としたり、ゲート電極側とドレイン電極

側とで、絶縁膜の構成を変えた構成とした場合においても同様の効果を有する。

(第12の実施例)

図12はこの実施例のHJFETの断面構造を示す。このHJFETは、  
5 図11と同様、AlGa<sub>N</sub>電子供給層13の上にGa<sub>N</sub>キャップ層15が形成されている。このGa<sub>N</sub>キャップ層上にはオーム性接触がとられたソース電極1およびドレイン電極3があり、その間に電界制御電極5を有し、ショットキー接触がとられたゲート電極2が設けられている。Ga<sub>N</sub>キャップ層15の表面はSiON膜23で覆われており、電界制御電極5の直下にはこのSiON膜23が設けられている。  
10

この実施例は、第4の実施例で半導体の最上部にGa<sub>N</sub>キャップ層を追加した構成であり、実効的なショットキー高さを高くすることによりさらに高いゲート耐圧が実現できる。すなわち、電界制御電極、電界制御電極直下の積層膜および本実施例によるGa<sub>N</sub>キャップ層の相乗作用により、優れたゲート耐圧が得られる。  
15

この実施例のSiON膜は、屈折率が1.65以上2.05以下の範囲にあることが好ましい。

この実施例において、電界制御電極の寸法は、0.3 $\mu$ m以上とすることが好ましい。さらに好ましくは0.5 $\mu$ m以上とする。また、電界制御電極の端  
20 は、ドレイン電極とオーバーラップしない位置とすることが好ましい。さらに好ましくは電界制御電極の寸法をゲート電極とドレイン電極の間隔の70%以下とする。

なお、本実施例では絶縁膜の構成をSiON膜23としたが、実施例3に記載のように、SiN膜としても良い。この場合、SiON膜の場合より、  
25 膜厚を薄く制御する必要があり、好ましくは150nm以下とする必要がある。また、実施例7記載のように、絶縁膜をゲート電極側とドレイン電極側とで絶縁膜の構成が異なる構成としても上記キャップ層を設ける効果は同様である。

(第 1 3 の実施例)

図 1 3 はこの実施例の H J F E T の断面構造を示す。この H J F E T は、S i C などの基板 1 0 上に形成される。基板 1 0 上には半導体層からなるバッファ層 1 1 が形成されている。このバッファ層 1 1 上に G a N チャンネル層 1 2 が形成されている。チャンネル層の上には、A l G a N 電子供給層 1 3 が形成されており、その上に G a N キャップ層 1 5 が形成されている。この G a N キャップ層上にはオーム性接触がとられたソース電極 1 およびドレイン電極 3 があり、その間に電界制御電極 5 を有し、ショットキー接触がとられたゲート電極 2 が設けられている。G a N キャップ層 1 5 の表面は S i O C 膜 2 4 で覆われており、電界制御電極 5 の直下にはこの S i O C 膜 2 4 が設けられている。

この実施例は、第 5 の実施例で半導体の最上部に G a N キャップ層を追加した構成であり、実効的なショットキー高さを高くすることによりさらに高いゲート耐圧が実現できる。すなわち、電界制御電極、電界制御電極直下の積層膜および本実施例による G a N キャップ層の相乗作用により、優れたゲート耐圧が得られる。

この実施例において、電界制御電極の寸法は、 $0.3\mu\text{m}$ 以上とすることが好ましい。さらに好ましくは  $0.5\mu\text{m}$ 以上とする。また、電界制御電極の端は、ドレイン電極とオーバーラップしない位置とすることが好ましい。さらに好ましくは電界制御電極の寸法をゲート電極とドレイン電極の間隔の 70 % 以下とする。

(第 1 4 の実施例)

図 1 4 はこの実施例の H J F E T の断面構造を示す。この実施例は、第 8 の実施例のコンタクト層をアンドープ A l G a N とし、電界制御電極をコンタクト層とオーバーラップさせた構造に関するものである。

この H J F E T は、S i C などの基板 1 0 上に形成される。基板 1 0 上には半導体層からなるバッファ層 1 1 が形成されている。このバッファ層 1 1 上に G a N チャンネル層 1 2 が形成されている。チャンネル層の上には、A l G



a N 電子供給層 1 3 が形成されている。この電子供給層 1 3 上にアンドープ A l G a N 層 1 6 があり、アンドープ A l G a N 層 1 6 に接してオーム性接触がとられたソース電極 1 およびドレイン電極 3 が設けられている。ソース電極 1 とドレイン電極 3 の間のアンドープ A l G a N 層を一部除去し、露出した A l G a N 電子供給層 1 3 に接してショットキー性接触がとられたゲート電極 2 が設けられている。素子表面は S i N 膜 2 1 で覆われており、さらにその上層には S i O<sub>2</sub> 膜 2 2 が設けられている。さらにこの S i O<sub>2</sub> 膜上には電界制御電極 5 が設けられている。なお、図示したように、この電界制御電極 5 はアンドープ A l G a N 層 1 6 にオーバーラップする構成としても良い。

この実施例においては、コンタクト層がアンドープの A l G a N 層であるため、電界制御電極とコンタクト層の間での電界集中は緩やかである。このため電界制御電極がコンタクト層にオーバーラップしてもゲート耐圧は低下しない。これにより、電界制御電極が A l G a N 電子供給層表面の大部分の表面電荷を制御できるため、コラプスをより効果的に抑制する効果がある。

また、この実施例ではアンドープ A l G a N 層 1 6 をコンタクト層としているため、ドレイン電極近傍の電界集中を抑制できるという効果も得られる。電界制御電極 5 をドレイン側に伸長した場合、ゲート電極 2 近傍の電界集中が緩和される一方、ドレイン電極 3 の近傍における電界集中の問題が顕在化する。本実施例の構成によれば、ドレイン電極 3 と電子供給層 1 3 との間にアンドープ A l G a N 層 1 6 が介在するため、こうしたドレイン電極 3 の近傍における電界集中を効果的に緩和することができる。

#### (第 1 5 の実施例)

この実施例は、第 9 の実施例のコンタクト層をアンドープ A l G a N とし、電界制御電極をコンタクト層とオーバーラップさせた構造に関するものである。

図 1 5 は、この実施例の H J F E T の断面構造を示す。この H J F E T は、S i C などの基板 1 0 上に形成される。基板 1 0 上には半導体層からなるバ

5      バッファ層 11 が形成されている。このバッファ層 11 上に GaN チャンネル層 12 が形成されている。チャンネル層の上には、AlGaIn 電子供給層 13 が形成されている。この電子供給層 13 上にアンドープ AlGaIn 層 16 があり、アンドープ AlGaIn 層 16 に接してオーム性接触がとられたソース電極 1 およびドレイン電極 3 が設けられている。ソース電極 1 とドレイン電極 3 の間のアンドープ AlGaIn 層を一部除去し、露出した AlGaIn 電子供給層 13 に接してショットキー性接触がとられたゲート電極 2 が設けられている。素子表面は SiON 膜 23 で覆われており、この SiON 膜 23 上に電界制御電極 5 がゲート電極 2 とドレイン電極 3 との間設けられている。  
10      なお、この電界制御電極 5 はアンドープ AlGaIn 層 16 にオーバーラップする構成としても良い。

この実施例においては、コンタクト層がアンドープの AlGaIn 層であるため、電界制御電極とコンタクト層の間での電界集中は緩やかである。このため電界制御電極がコンタクト層にオーバーラップしてもゲート耐圧は低下しない。これにより、電界制御電極が AlGaIn 電子供給層表面の大部分の表面電荷を制御できるため、コラプスをより効果的に抑制することができる。  
15

また、この実施例ではアンドープ AlGaIn 層 16 をコンタクト層としているため、ドレイン電極近傍の電界集中を抑制できるという効果も得られる。  
20      電界制御電極 5 をドレイン側に伸長した場合、ゲート電極 2 近傍の電界集中が緩和される一方、ドレイン電極 3 の近傍における電界集中の問題が顕在化する。本実施例の構成によれば、ドレイン電極 3 と電子供給層 13 との間にアンドープ AlGaIn 層 16 が介在するため、こうしたドレイン電極 3 の近傍における電界集中を効果的に緩和することができる。

25      (第 16 の実施例)

この実施例は、第 10 の実施例のコンタクト層をアンドープ AlGaIn とし、電界制御電極をコンタクト層とオーバーラップさせた構造に関するものである。

図16は、この実施例のH J F E Tの断面構造を示す。このH J F E Tは、S i Cなどの基板10上に形成される。基板10上には半導体層からなるバッファ層11が形成されている。このバッファ層11上にG a Nチャネル層12が形成されている。チャネル層の上には、A l G a N電子供給層13が形成されている。この電子供給層13上にアンドープA l G a N層16があり、アンドープA l G a N層16に接してオーム性接触がとられたソース電極1およびドレイン電極3が設けられている。ソース電極1とドレイン電極3の間のアンドープA l G a N層を一部除去し、露出したA l G a N電子供給層13に接してショットキー性接触がとられたゲート電極2が設けられている。素子表面はS i O C膜24で覆われており、このS i O C膜上に電界制御電極5が設けられている。なお、この電界制御電極5はアンドープA l G a N層16にオーバーラップする構成としても良い。

この実施例においては、コンタクト層がアンドープのA l G a N層であるため、電界制御電極とコンタクト層の間での電界集中は緩やかである。このため電界制御電極がコンタクト層にオーバーラップしてもゲート耐圧は低下しない。これにより、電界制御電極がA l G a N電子供給層表面の大部分の表面電荷を制御できるため、コラプスをより効果的に抑制することができる。

また、この実施例ではアンドープA l G a N層16をコンタクト層としていたため、ドレイン電極近傍の電界集中を抑制できるという効果も得られる。電界制御電極5をドレイン側に伸長した場合、ゲート電極2近傍の電界集中が緩和される一方、ドレイン電極3の近傍における電界集中の問題が顕在化する。本実施例の構成によれば、ドレイン電極3と電子供給層13との間にアンドープA l G a N層16が介在するため、こうしたドレイン電極3の近傍における電界集中を効果的に緩和することができる。

以上述べた実施例14～16において、アンドープA l G a N層16およびA l G a N電子供給層13のアルミ組成の大小は任意である。これらのアルミ組成が等しい場合、両者は同じ材料から構成されることになるので、低

い抵抗が得られる。また、アンドープAlGa<sub>0.9</sub>N層16を、その下のAlGa<sub>0.9</sub>N電子供給層13よりも高アルミ組成とすればピエゾ効果により両者の界面にキャリアが発生し、これにより低抵抗化を図ることができる。

5 以上、本発明を実施例をもとに説明した。これらの実施例は例示であり、各構成要素や各処理プロセスの組み合わせにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。

たとえば、上記実施例では、基板材料としてSiCを用いた例について説明したが、サファイア等の他の異種材料基板や、Ga<sub>0.9</sub>N、AlGa<sub>0.9</sub>N等の  
10 III族窒化物半導体基板等を用いても良い。

また、ゲート下の半導体層の構造は、例示したものに限られず種々の態様が可能である。たとえばGa<sub>0.9</sub>Nチャネル層12の上部だけでなく下部にもAlGa<sub>0.9</sub>N電子供給層13を併設した構造とすることも可能である。

また、低誘電率膜は、実施例で例示したものに限られず、様々な材料を用  
15 いることができる。

上述した各実施例において、ゲート電極2の下部を一部、AlGa<sub>0.9</sub>N電子供給層13に埋め込んだ、いわゆるゲートリセス構造を採用することができる。これにより、電界制御電極の作用と相俟って優れたゲート耐圧が得られる。

## 請 求 の 範 囲

1. ヘテロ接合を含む III 族窒化物半導体層構造と、

該半導体層構造上に離間して形成されたソース電極およびドレイン電極  
と、

前記ソース電極と前記ドレイン電極の間に配置されたゲート電極と、  
を備え、

前記ゲート電極と前記ドレイン電極との間の領域において、前記 III 族窒  
化物半導体層構造の上部に絶縁膜を介して電界制御電極が形成され、

前記絶縁膜が、シリコンおよび窒素を構成元素として含む第一の絶縁膜と、  
前記第一の絶縁膜よりも低い比誘電率を有する第二の絶縁膜とを含む積層  
膜であることを特徴とする電界効果トランジスタ。

2. 請求項 1 に記載の電界効果トランジスタにおいて、

前記第一の絶縁膜は前記 III 族窒化物半導体層構造の表面に接して形成  
され、前記第二の絶縁膜が前記第一の絶縁膜上に積層されたことを特徴とす  
る電界効果トランジスタ。

3. 請求項 1 または 2 に記載の電界効果トランジスタにおいて、

前記第一の絶縁膜が 150 nm 以下であることを特徴とする電界効果ト  
ランジスタ。

4. 請求項 1 乃至 3 いずれかに記載の電界効果トランジスタにおいて、

前記第二の絶縁膜の比誘電率が 3.5 以下であることを特徴とする電界効  
果トランジスタ。

5. 請求項 1 乃至 4 のいずれかに記載の電界効果トランジスタにおいて、

前記第二の絶縁膜上に、シリコンおよび窒素を構成元素として含む第三の  
絶縁膜をさらに備えることを特徴とする電界効果トランジスタ。

6. 請求項 1 乃至 5 のいずれかに記載の電界効果トランジスタにおいて、

第一および第二の絶縁膜を含む積層膜からなる前記絶縁膜が、前記ゲート  
電極から離間して設けられ、この離間部分に前記第二の絶縁膜が設けられて

いることを特徴とする電界効果トランジスタ。

7. ヘテロ接合を含む III 族窒化物半導体層構造と、

該半導体層構造上に離間して形成されたソース電極およびドレイン電極と、

5 前記ソース電極と前記ドレイン電極の間に配置されたゲート電極と、  
を備え、

前記ゲート電極と前記ドレイン電極との間の領域において、前記 III 族窒化物半導体層構造の上部に絶縁膜を介して電界制御電極が形成され、  
前記絶縁膜はシリコンおよび窒素を構成元素として含むことを特徴とする  
10 電界効果トランジスタ。

8. ヘテロ接合を含む III 族窒化物半導体層構造と、

該半導体層構造上に離間して形成されたソース電極およびドレイン電極と、

15 前記ソース電極と前記ドレイン電極の間に配置されたゲート電極と、  
を備え、

前記ゲート電極と前記ドレイン電極との間の領域において、前記 III 族窒化物半導体層構造の上部に絶縁膜を介して電界制御電極が形成され、

前記絶縁膜がシリコン、酸素および炭素を構成元素として含む絶縁膜であることを特徴とする電界効果トランジスタ。

20 9. 請求項 7 に記載の電界効果トランジスタにおいて、  
前記絶縁膜は、さらに酸素または／および炭素を構成元素として含むことを  
特徴とする電界効果トランジスタ。

10. ヘテロ接合を含む III 族窒化物半導体層構造と、

25 該半導体層構造上に離間して形成されたソース電極およびドレイン電極と、

前記ソース電極と前記ドレイン電極の間に配置されたゲート電極と、  
を備え、

前記ゲート電極と前記ドレイン電極との間の領域において、前記 III 族窒

化物半導体層構造の上部に絶縁膜を介して電界制御電極が形成され、  
前記絶縁膜は；

前記ゲート電極側は窒素を構成元素として含まない絶縁材料により構成され、

5 前記ドレイン電極側はシリコンおよび窒素を構成元素として含む絶縁材料により構成されていることを特徴とする電界効果トランジスタ。

1 1. 請求項 1 0 に記載の電界効果トランジスタにおいて、前記絶縁膜のうち前記ドレイン電極側に設けられる絶縁材料が、シリコンおよび窒素の他、さらに酸素または／および炭素を構成元素として含むことを特徴とする電  
10 界効果トランジスタ。

1 2. ヘテロ接合を含む III 族窒化物半導体層構造と、

該半導体層構造上に離間して形成されたソース電極およびドレイン電極と、

前記ソース電極と前記ドレイン電極の間に配置されたゲート電極と、  
15 を備え、

前記ゲート電極と前記ドレイン電極との間の領域において、前記 III 族窒化物半導体層構造の上部に絶縁膜を介して電界制御電極が形成され、

前記絶縁膜の比誘電率が 3.5 以下であることを特徴とする電界効果トランジスタ。

20 1 3. 請求項 1 乃至 1 2 いずれかに記載の電界効果トランジスタにおいて、前記 III 族窒化物半導体層構造は、 $\text{In}_x\text{Ga}_{1-x}\text{N}$  ( $0 \leq x \leq 1$ ) からなるチャネル層および  $\text{Al}_y\text{Ga}_{1-y}\text{N}$  ( $0 < y \leq 1$ ) からなる電子供給層を含むことを特徴とする電界効果トランジスタ。

1 4. 請求項 1 乃至 1 3 いずれかに記載の電界効果トランジスタにおいて、  
25 前記ソース電極と前記 III 族窒化物半導体層構造の表面との間および前記ドレイン電極と前記 III 族窒化物半導体層構造の表面との間に、コンタクト層が介在することを特徴とする電界効果トランジスタ。

1 5. 請求項 1 4 に記載の電界効果トランジスタにおいて、

前記コンタクト層がアンドープ  $\text{AlGaIn}$  層により構成されていることを特徴とする電界効果トランジスタ。

16. 請求項 14 または 15 に記載の電界効果トランジスタにおいて、

5 前記電界制御電極は、前記コンタクト層の上部まで延在していることを特徴とする電界効果トランジスタ。

17. 請求項 1 乃至 16 いずれかに記載の電界効果トランジスタにおいて、

10 前記 III 族窒化物半導体層構造は、 $\text{In}_x\text{Ga}_{1-x}\text{N}$  ( $0 \leq x \leq 1$ ) からなるチャネル層、 $\text{Al}_y\text{Ga}_{1-y}\text{N}$  ( $0 < y \leq 1$ ) からなる電子供給層および  $\text{GaN}$  からなるキャップ層がこの順で積層した構造を有することを特徴とする電界効果トランジスタ。

18. 請求項 1 乃至 17 のいずれかに記載の電界効果トランジスタにおいて、前記電界制御電極が前記ゲート電極に対して独立に制御可能であることを特徴とする電界効果トランジスタ。



Fig.1

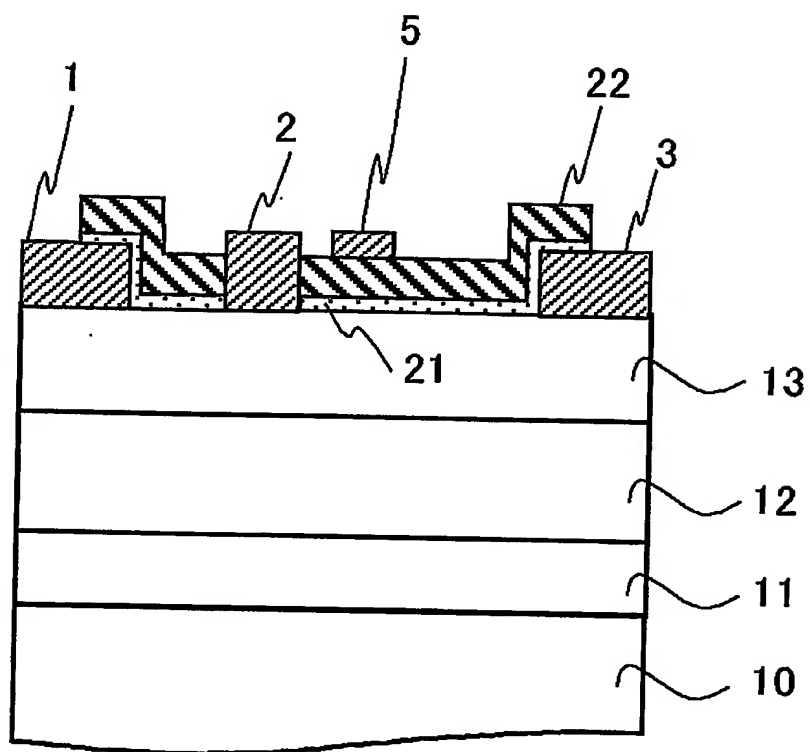


Fig.2

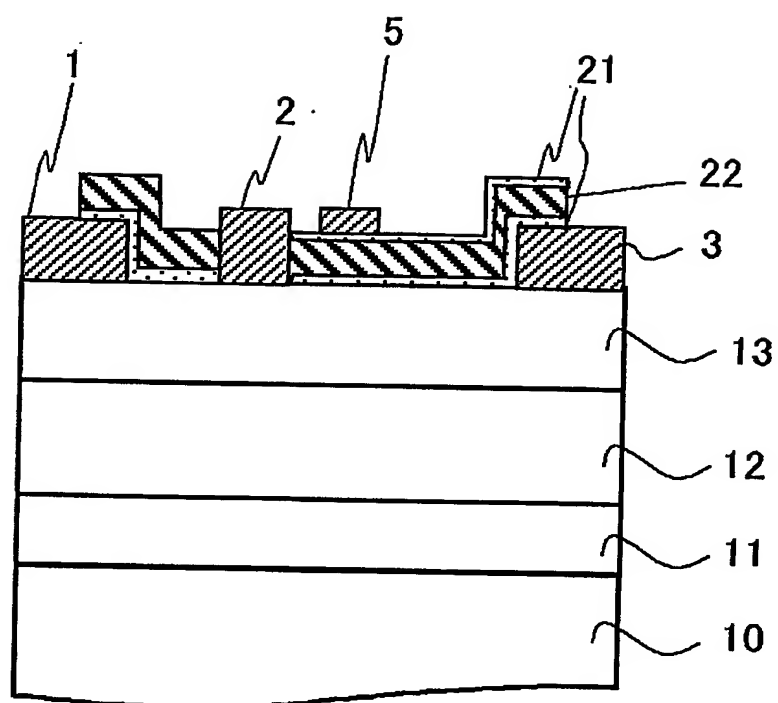


Fig.3

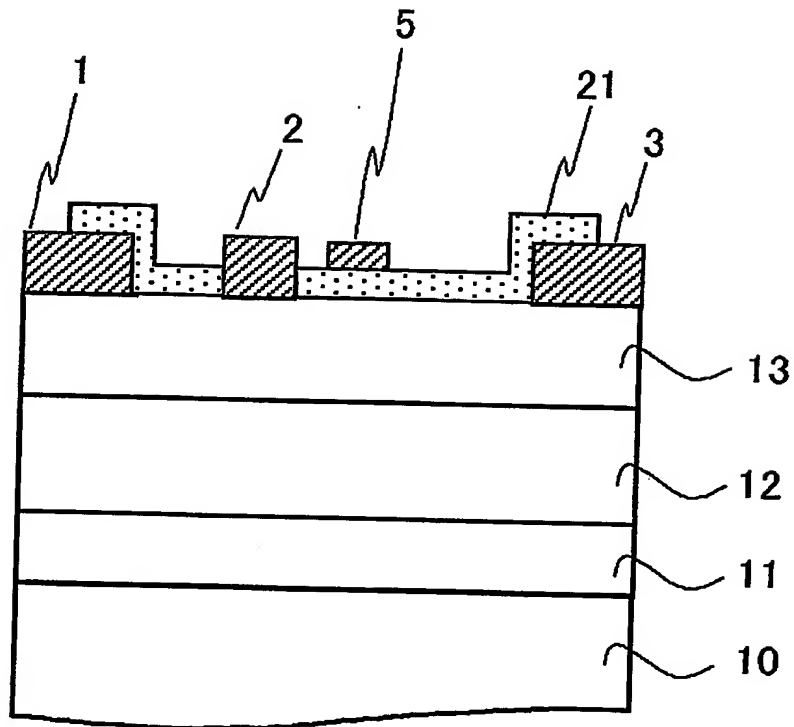


Fig.4

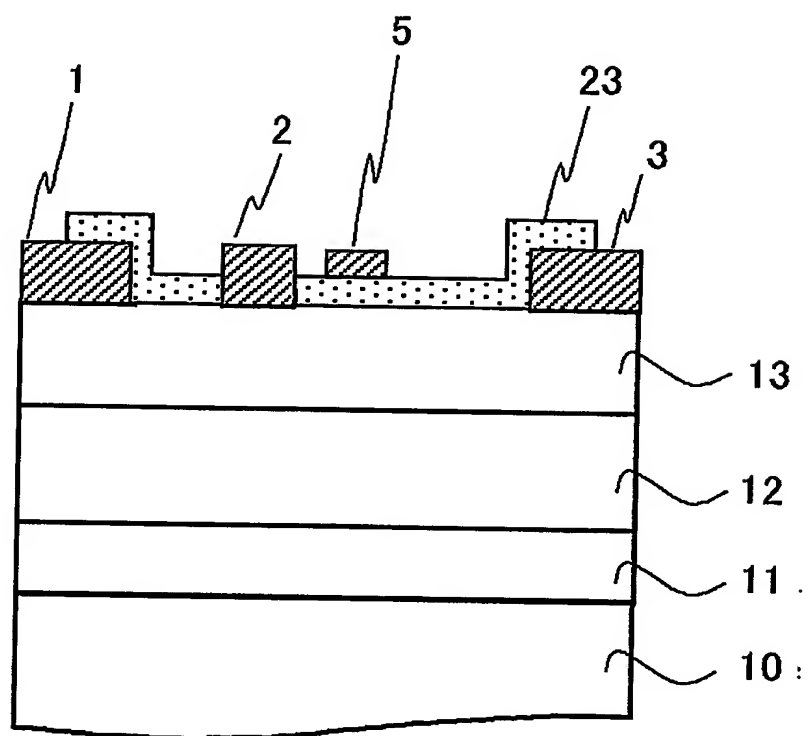


Fig.5

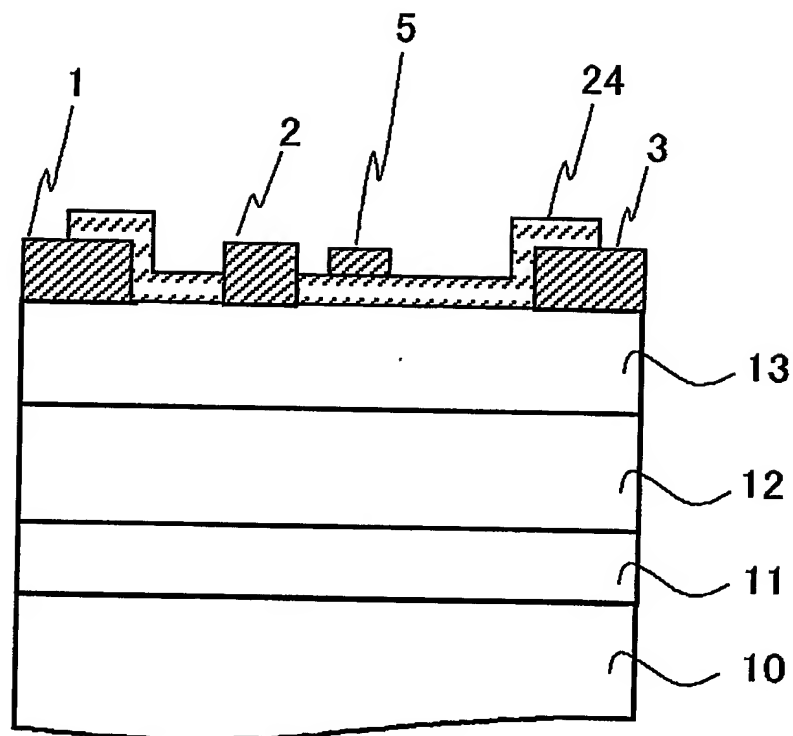


Fig.6

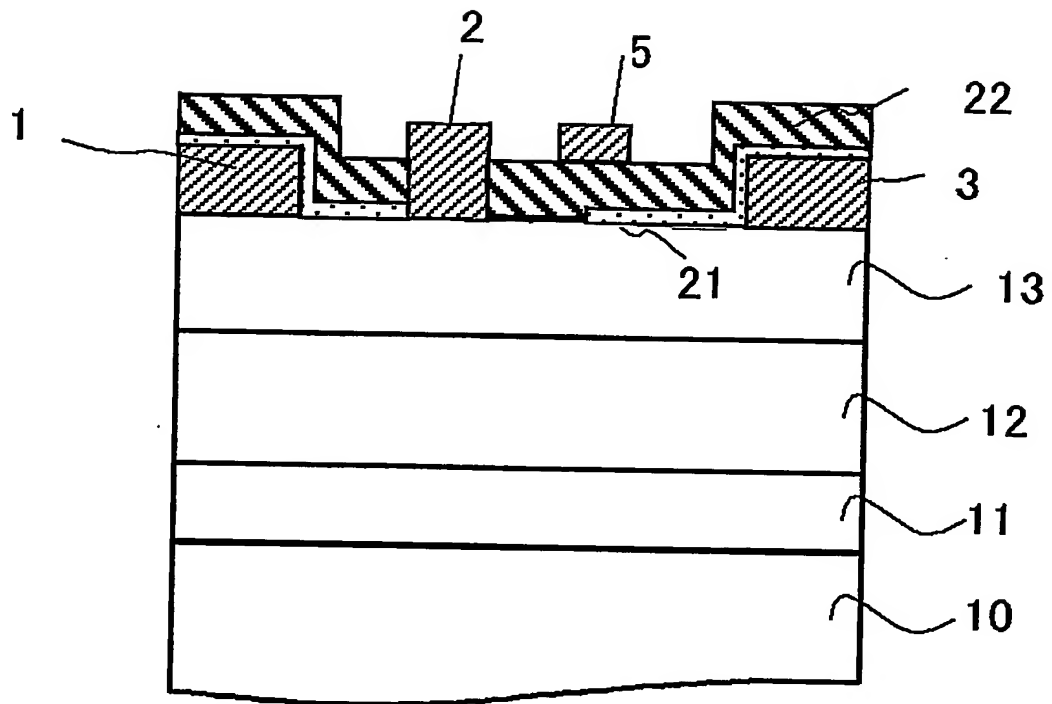
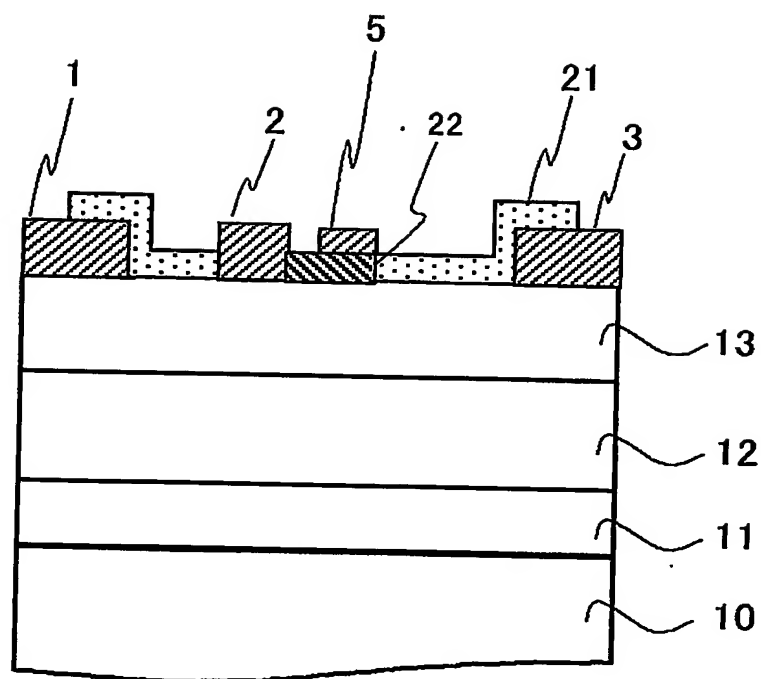


Fig.7

(a)



(b)

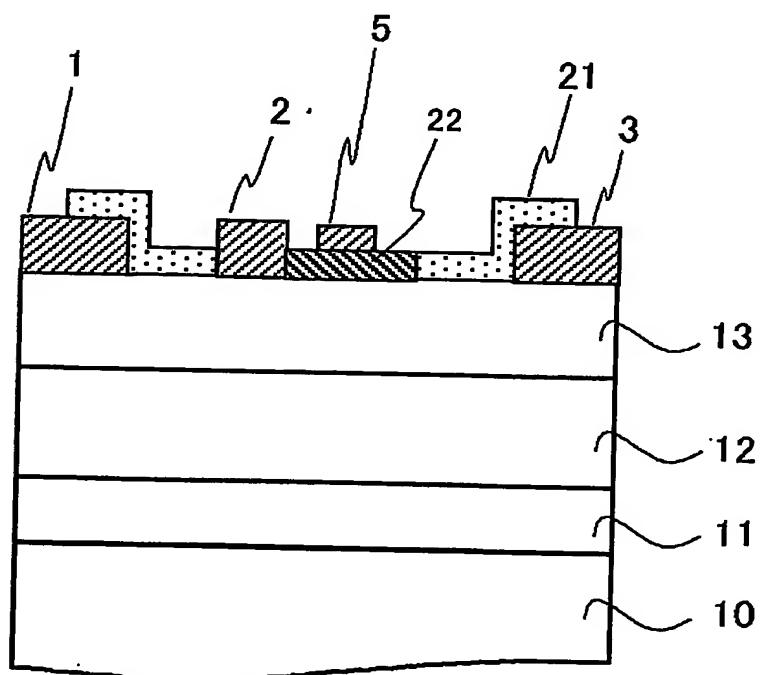


Fig.8

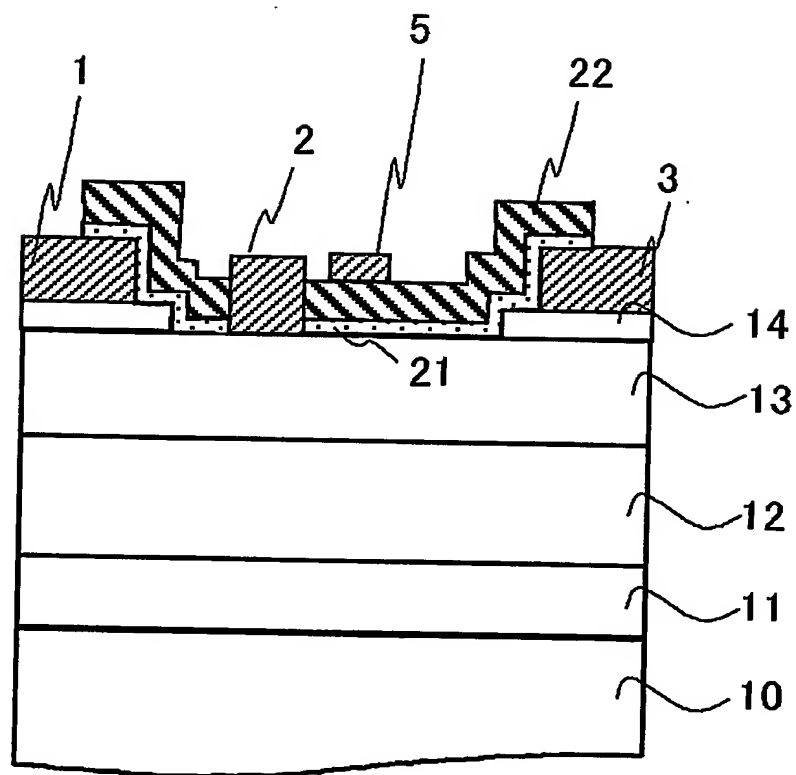




Fig.9

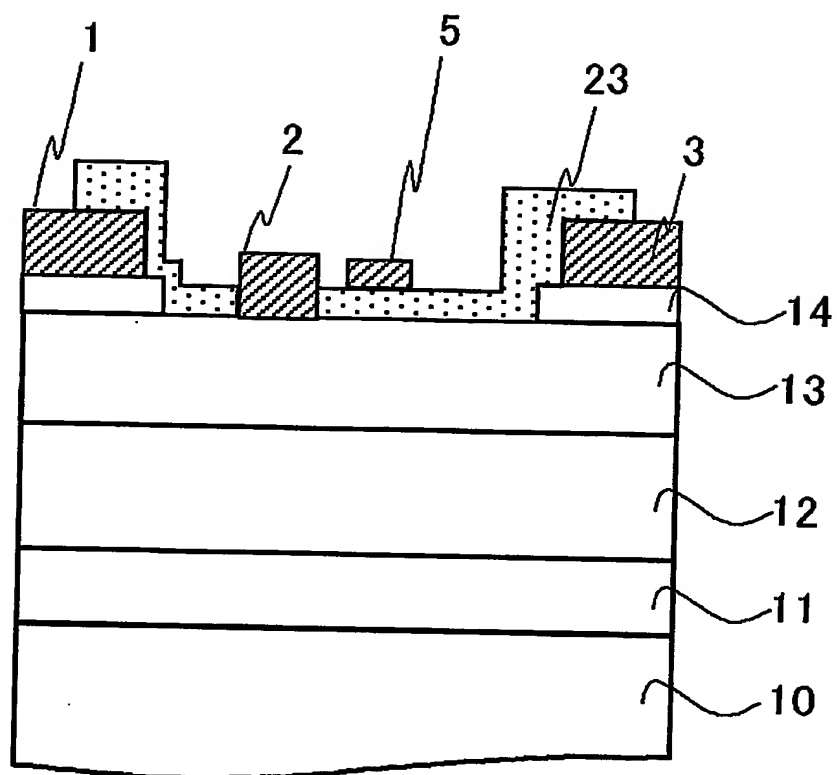


Fig.10

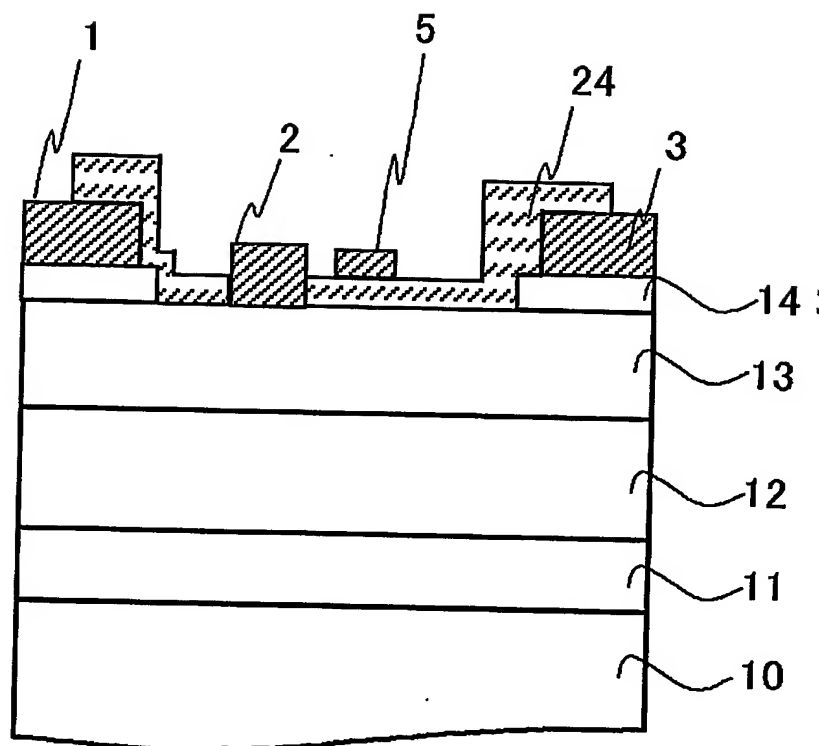


Fig.11

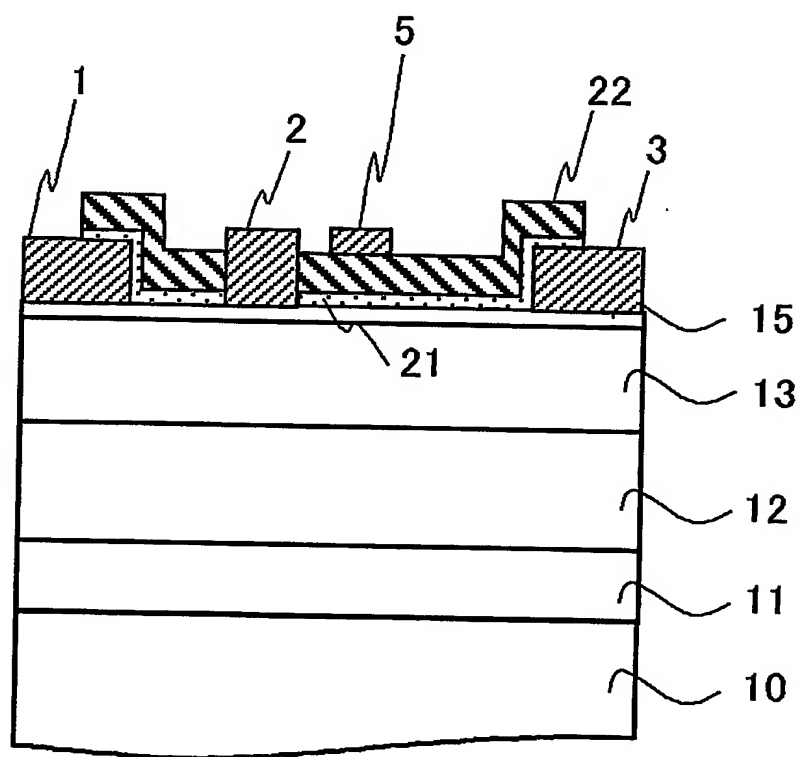


Fig.12

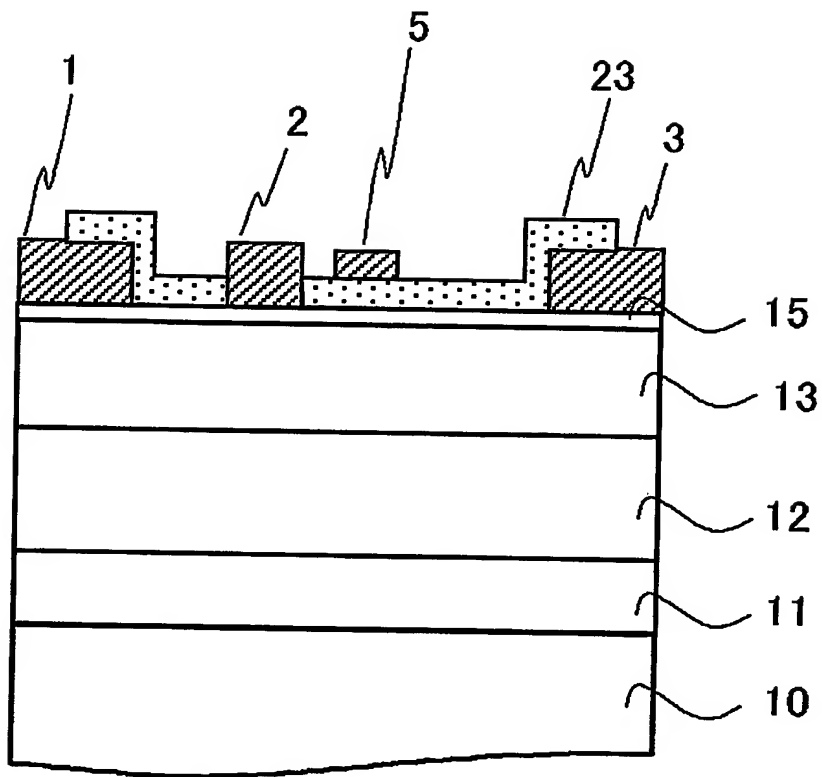


Fig.13

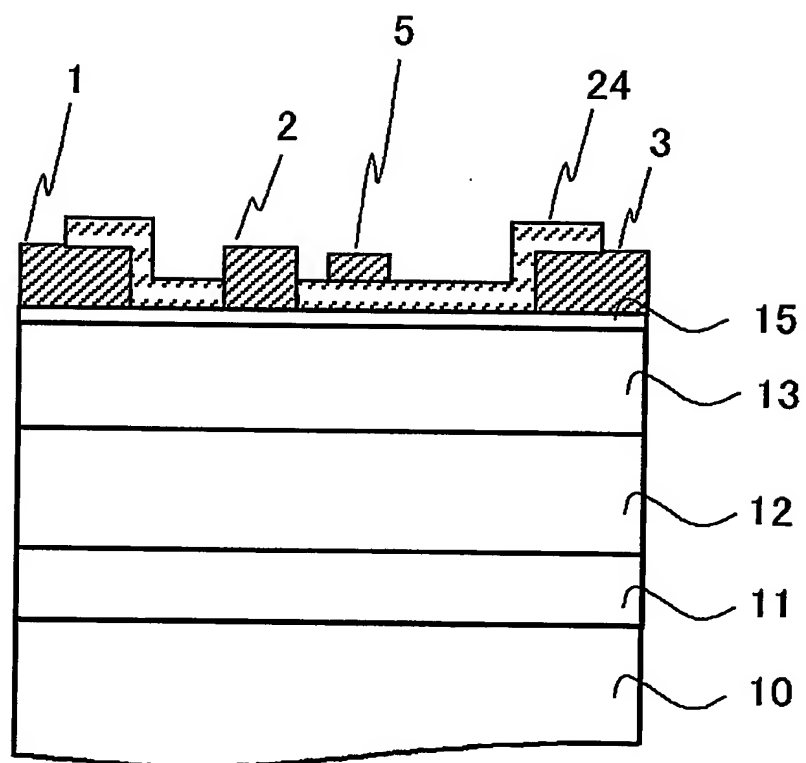


Fig.14

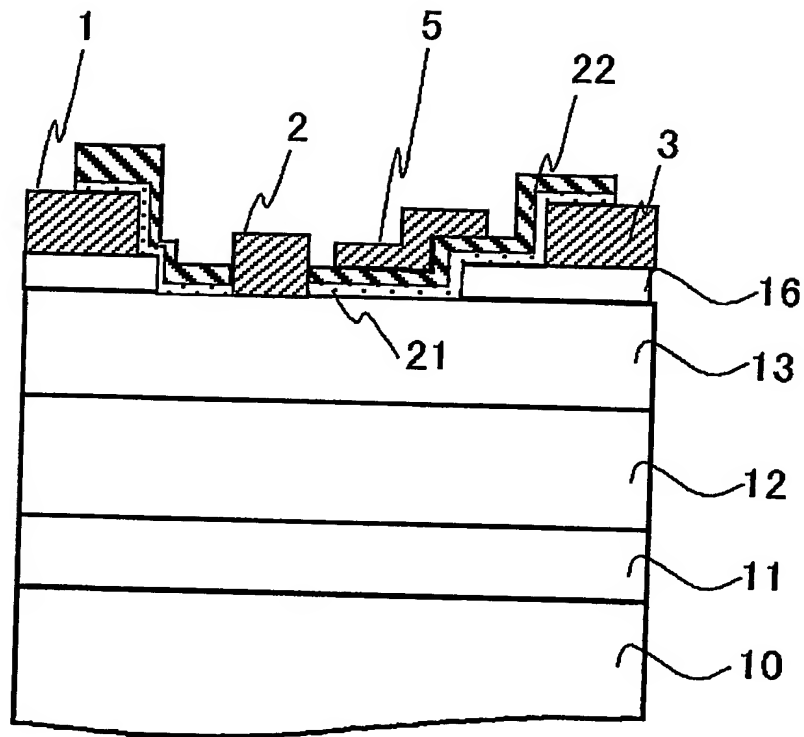


Fig.15

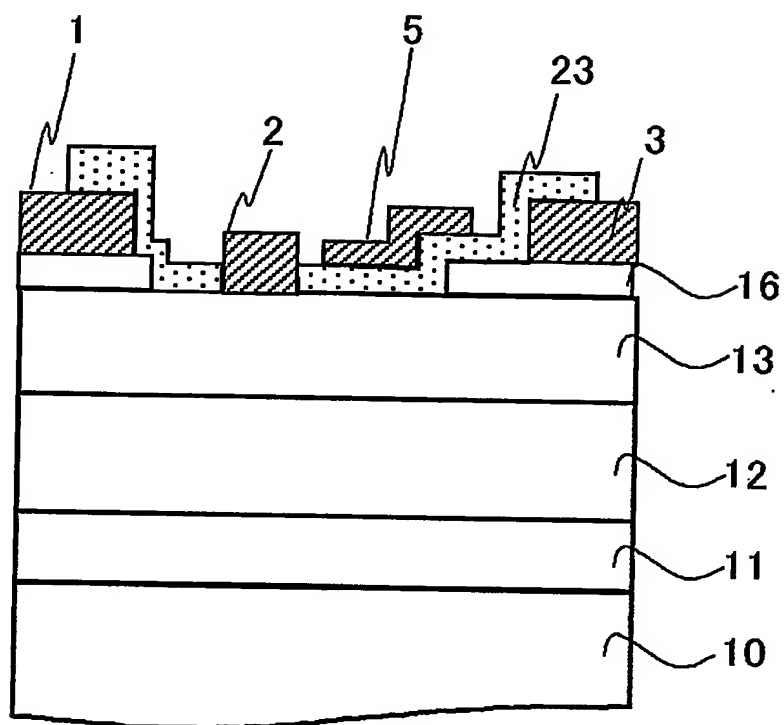


Fig.16

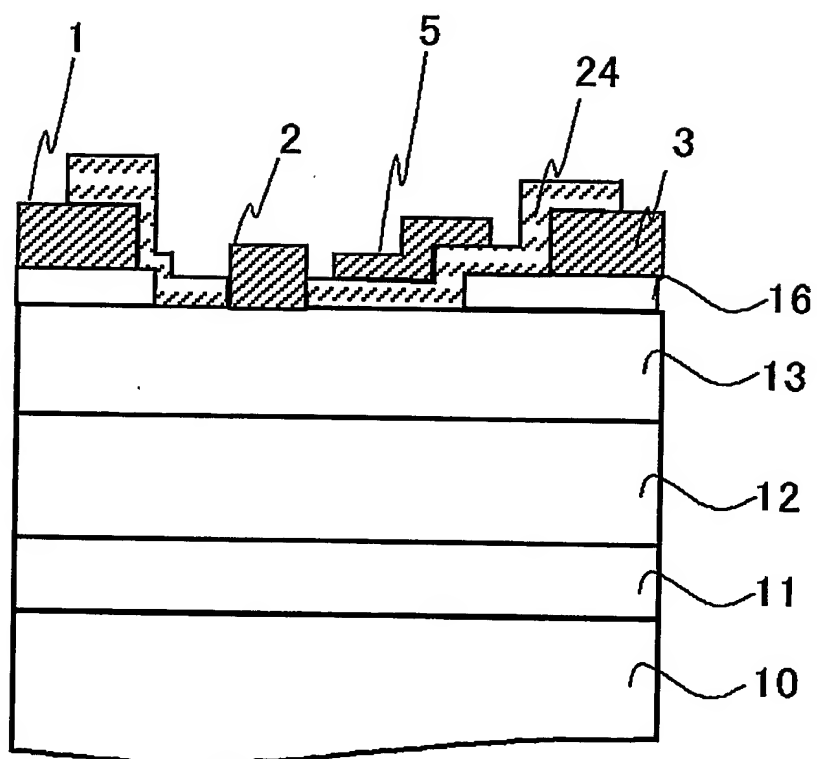




Fig.17

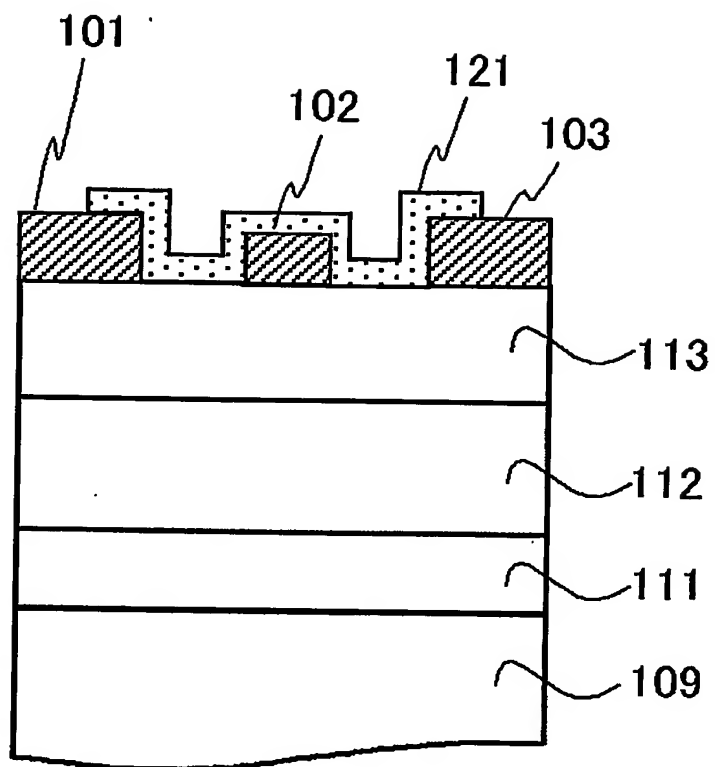


Fig.18

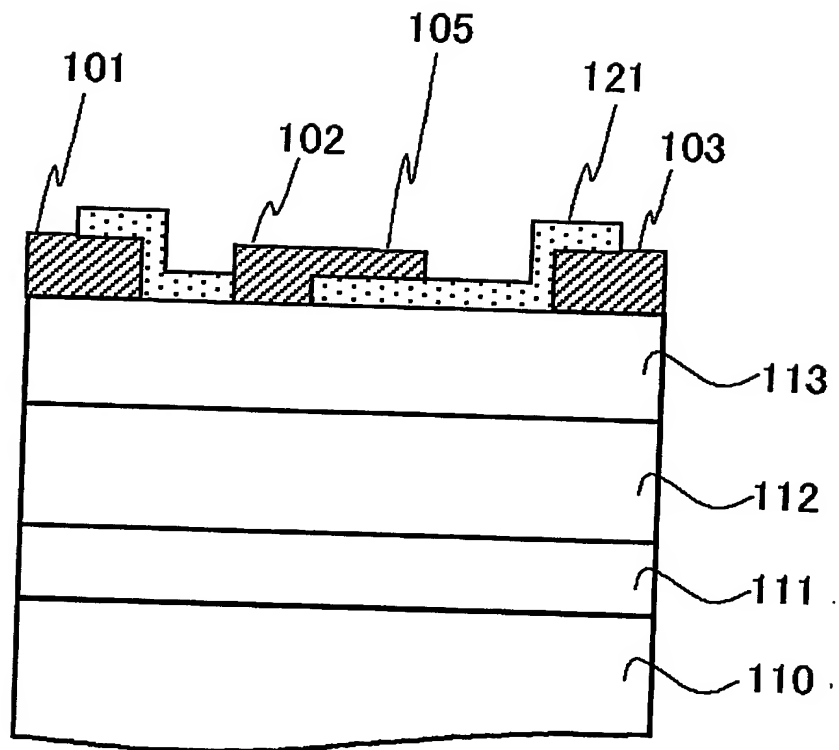


Fig.19

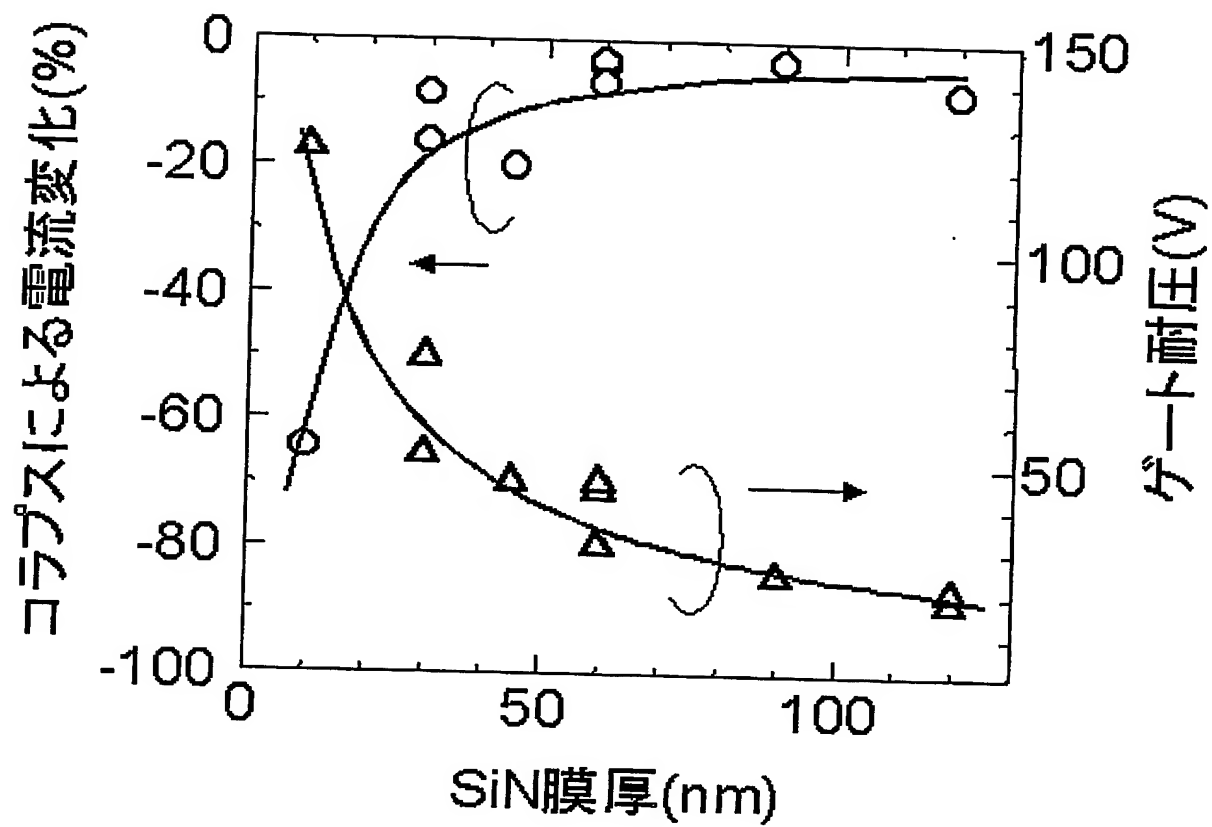


Fig.20

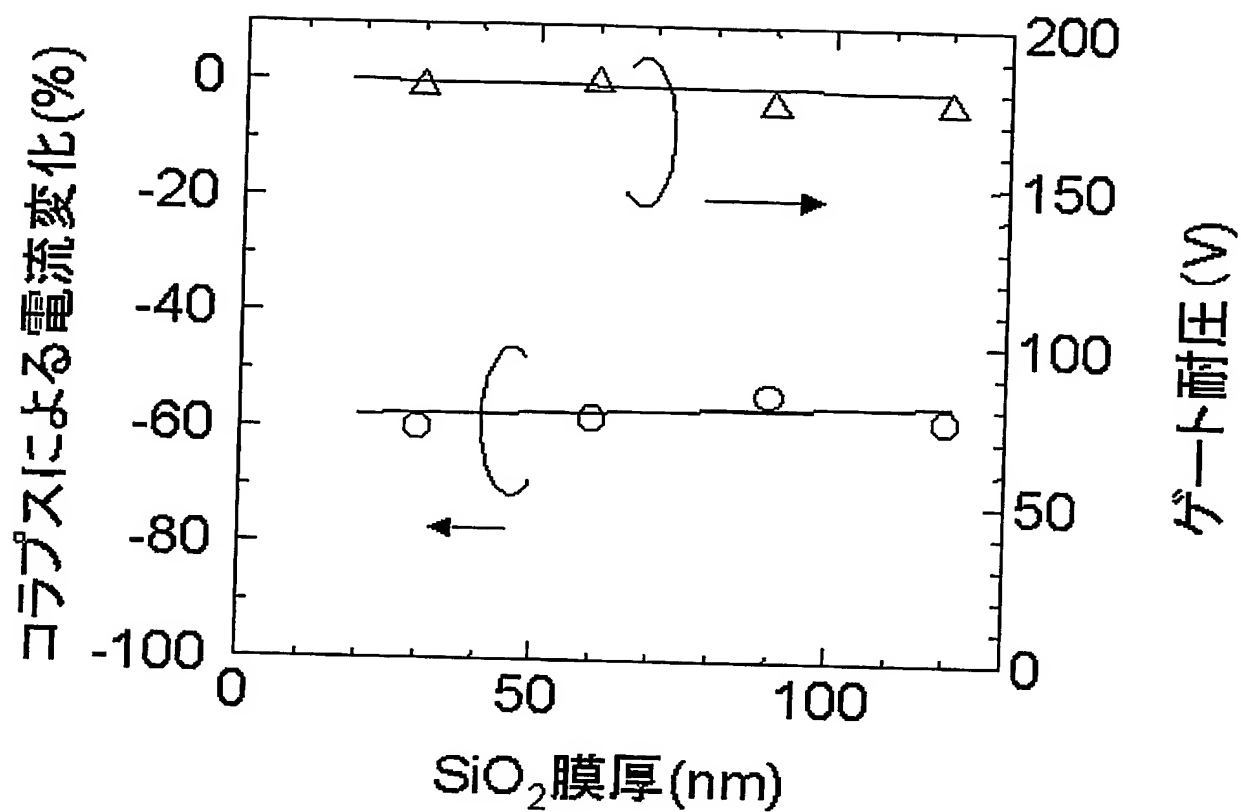
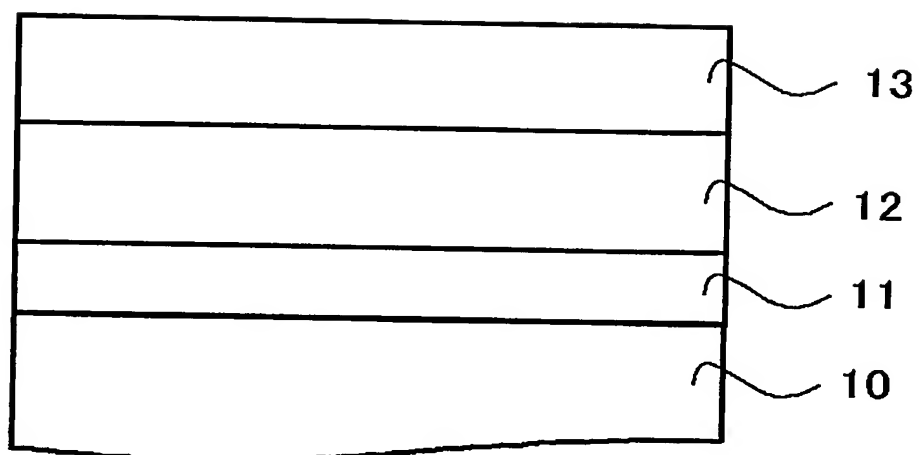
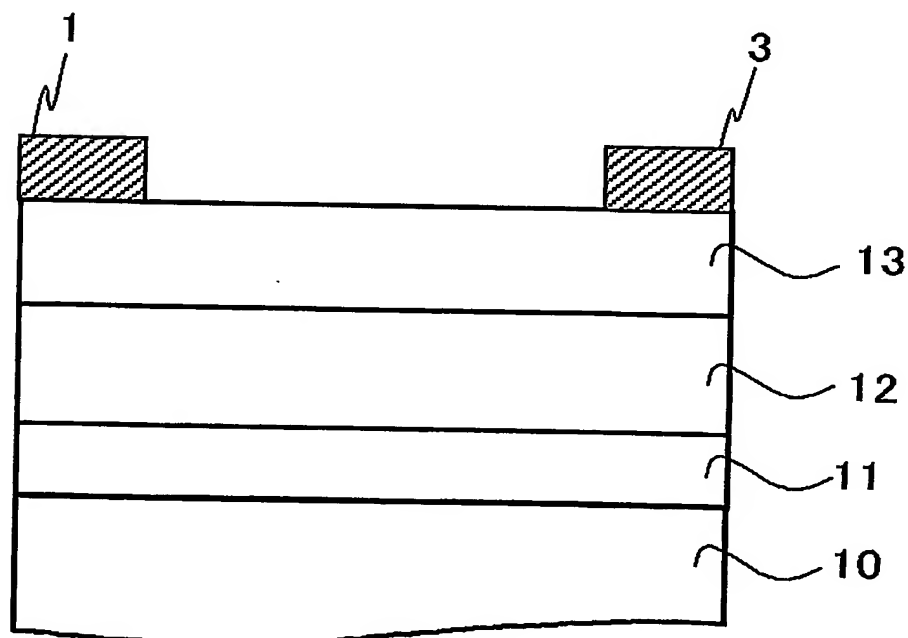


Fig.21

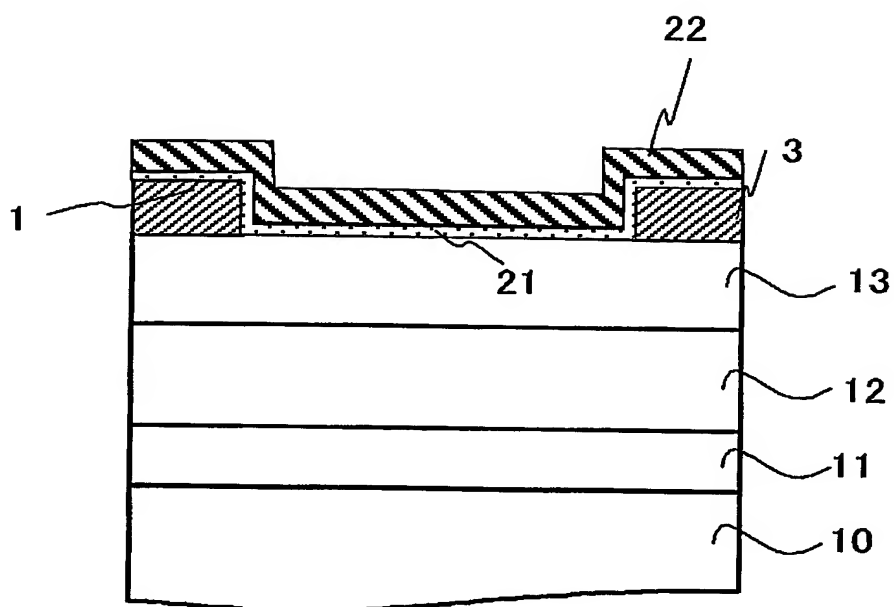


(a)

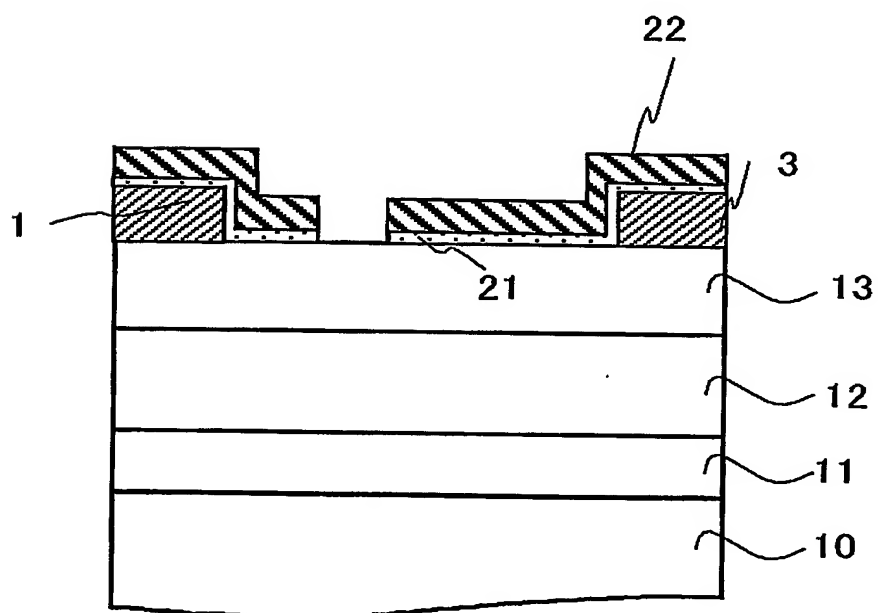


(b)

Fig.22

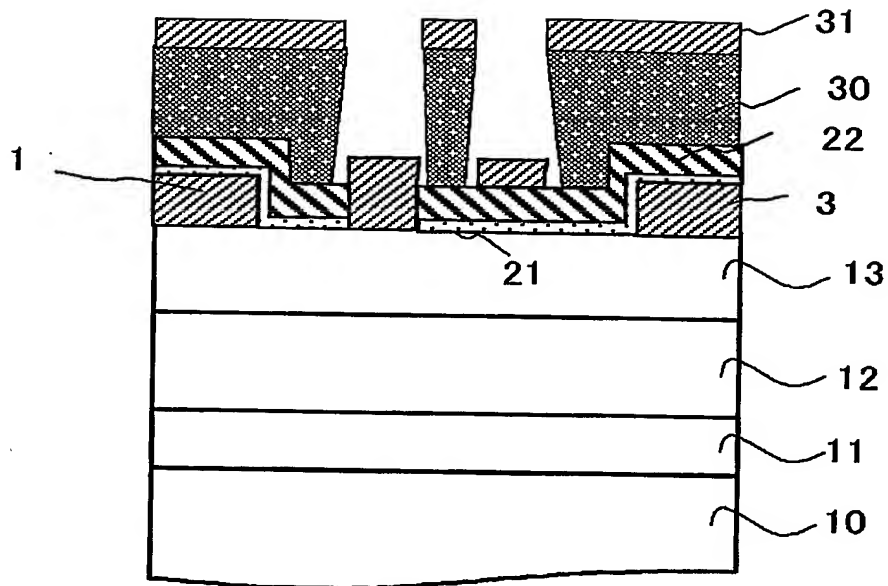


(c)

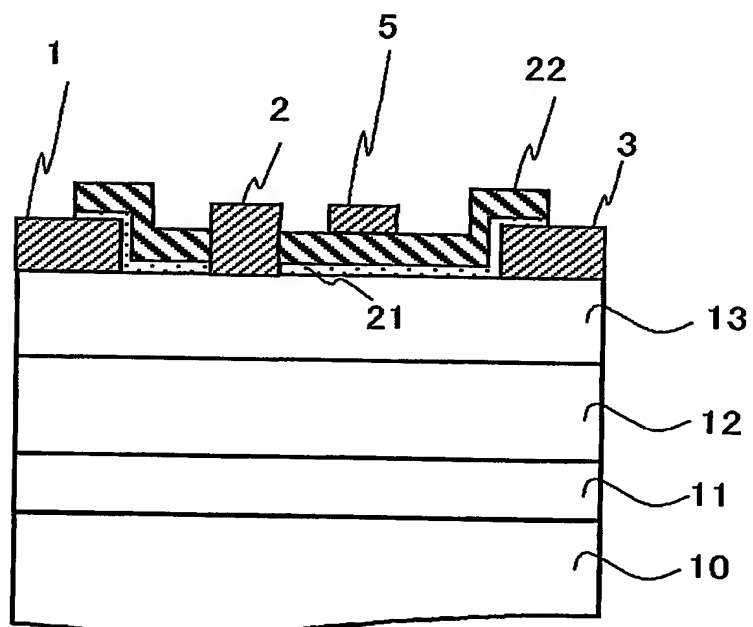


(d)

Fig.23

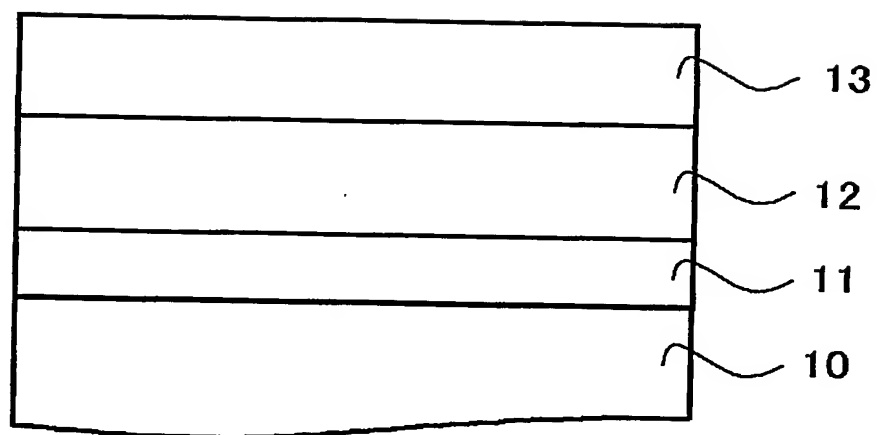


(e)

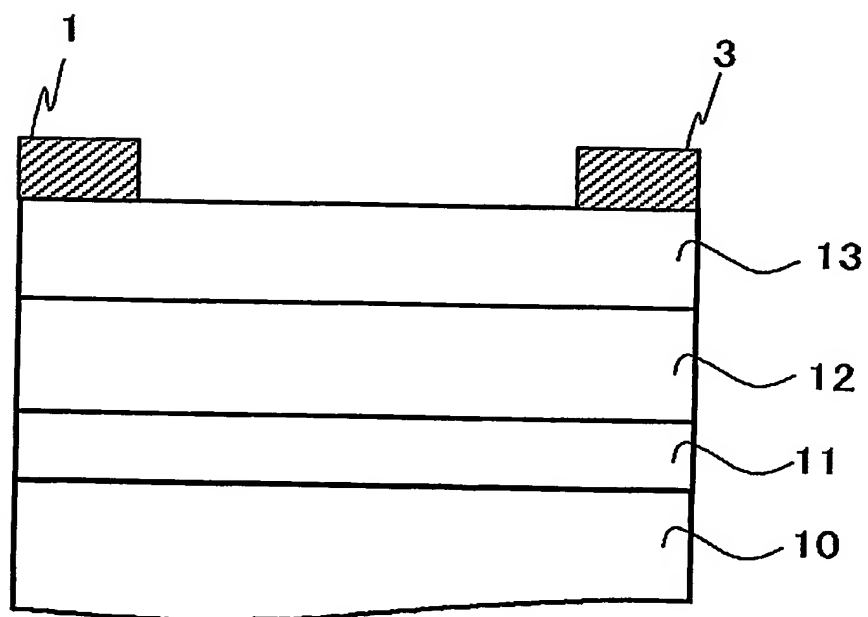


(f)

Fig.24



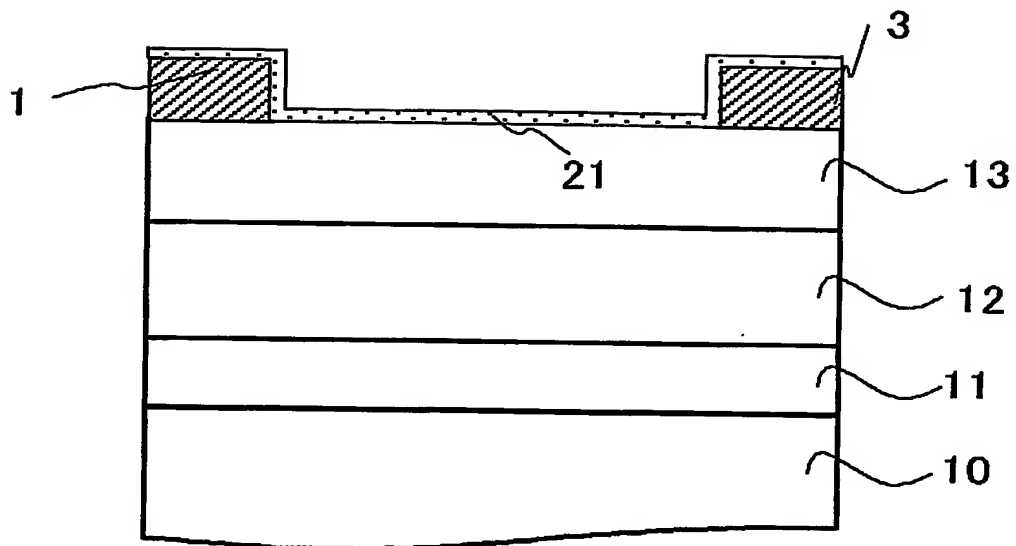
(a)



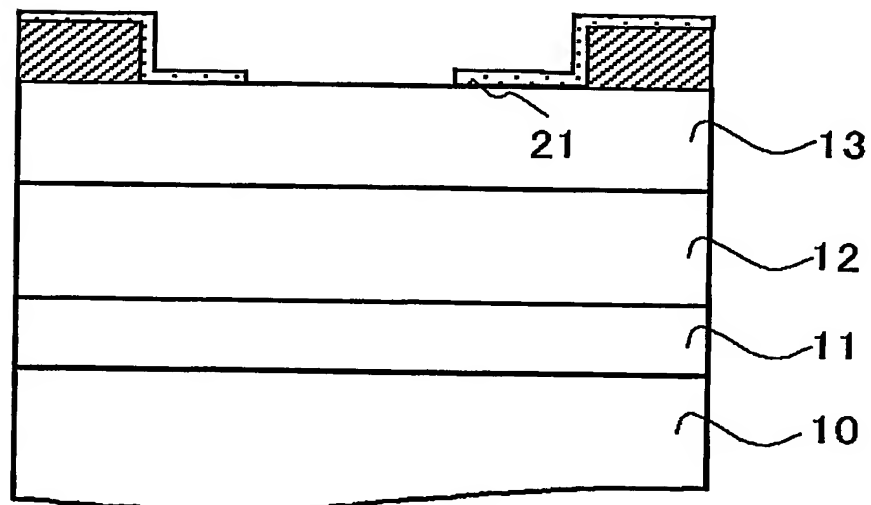
(b)



Fig.25

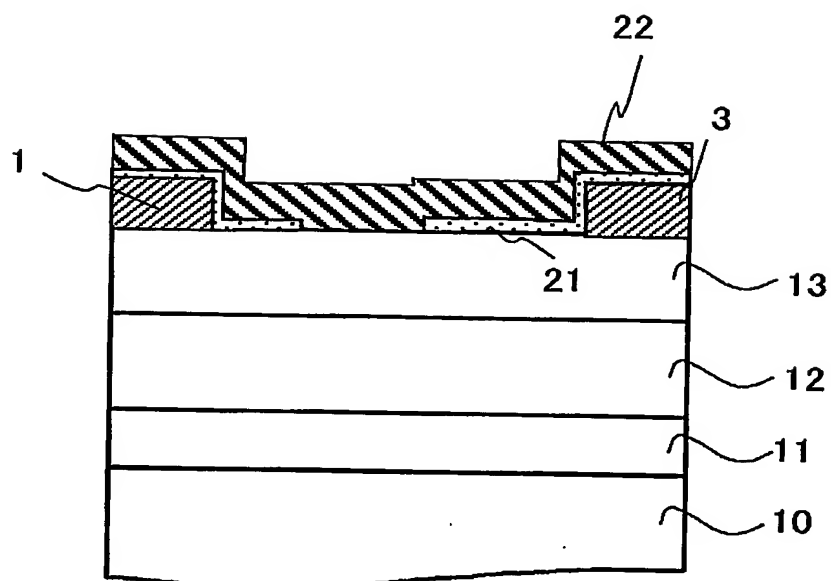


(c)

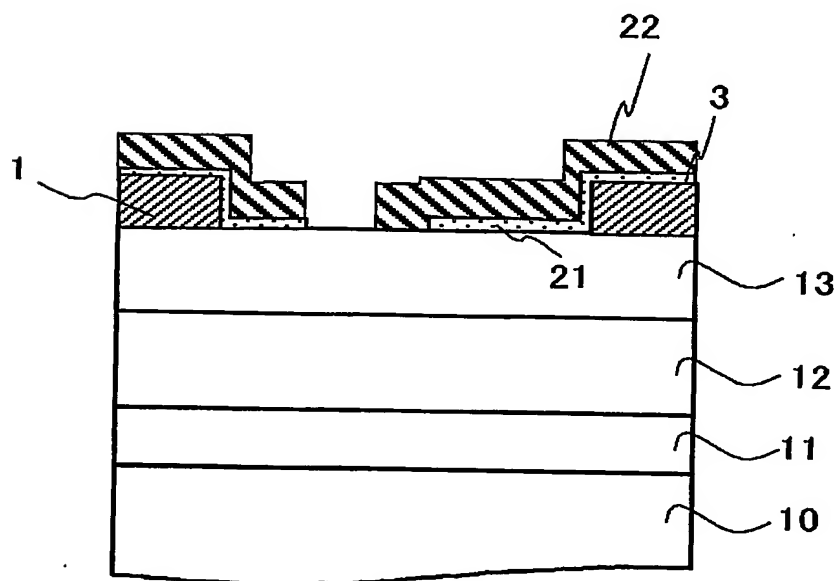


(d)

Fig.26

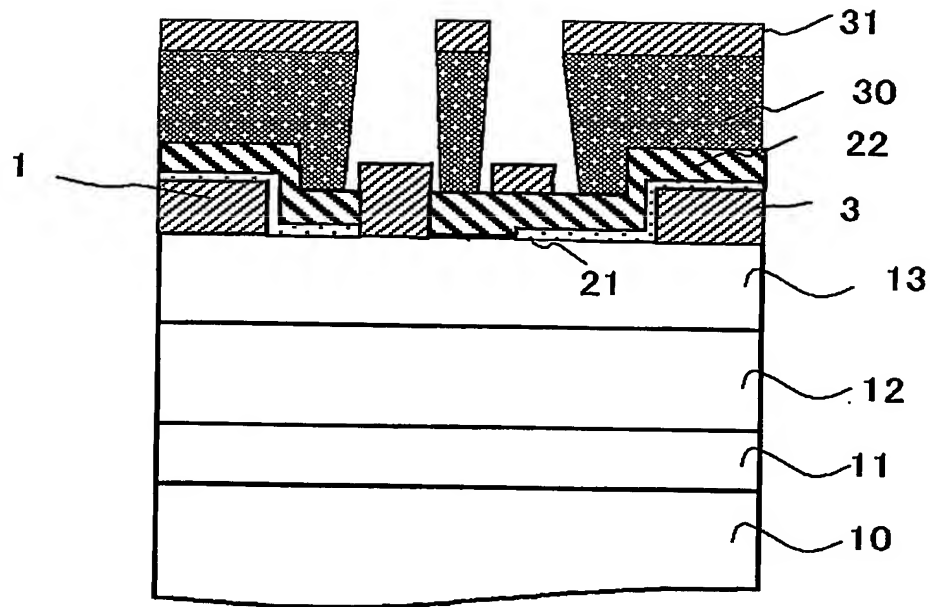


(e)

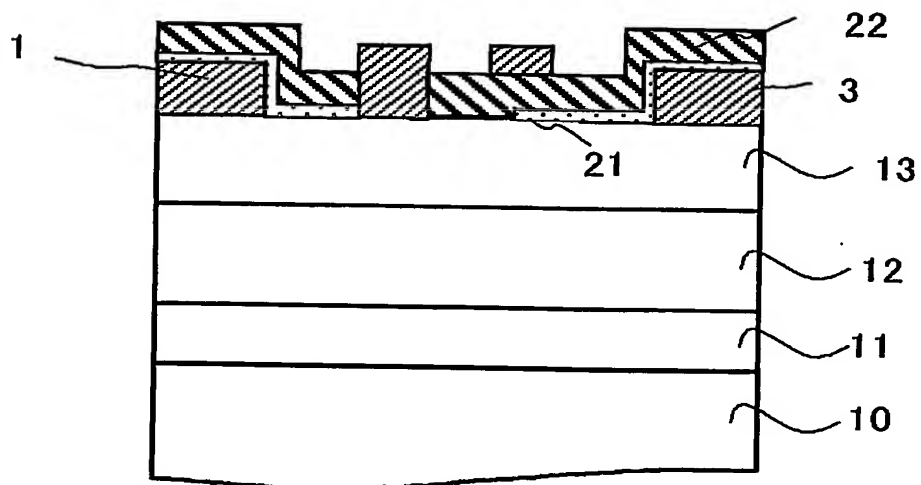


(f)

Fig.27



(g)



(h)

Fig.28

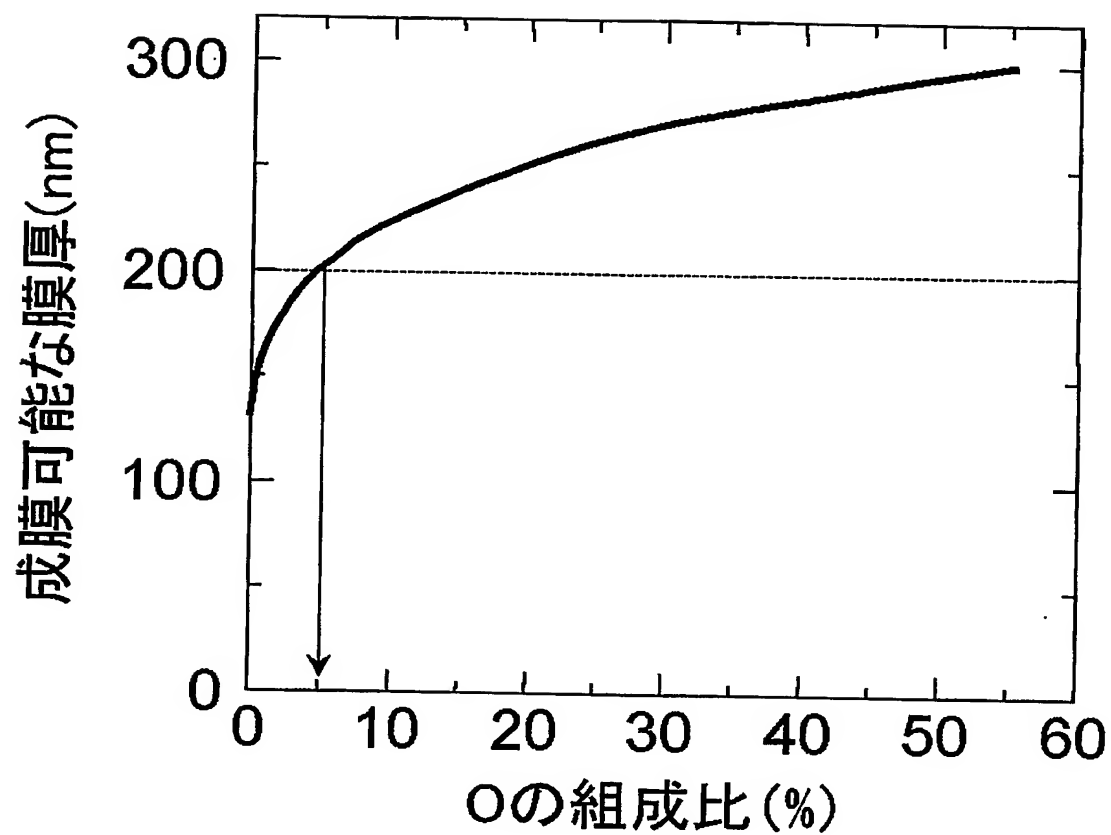
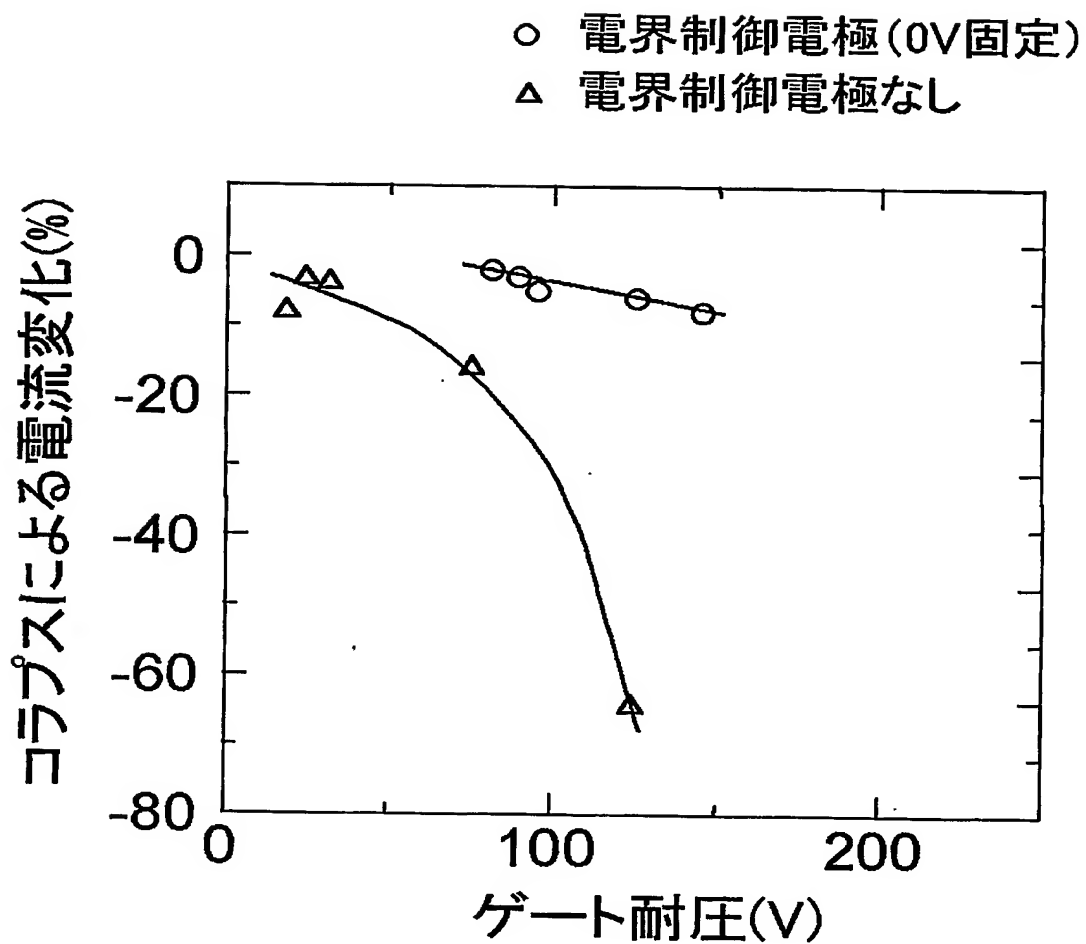


Fig.29

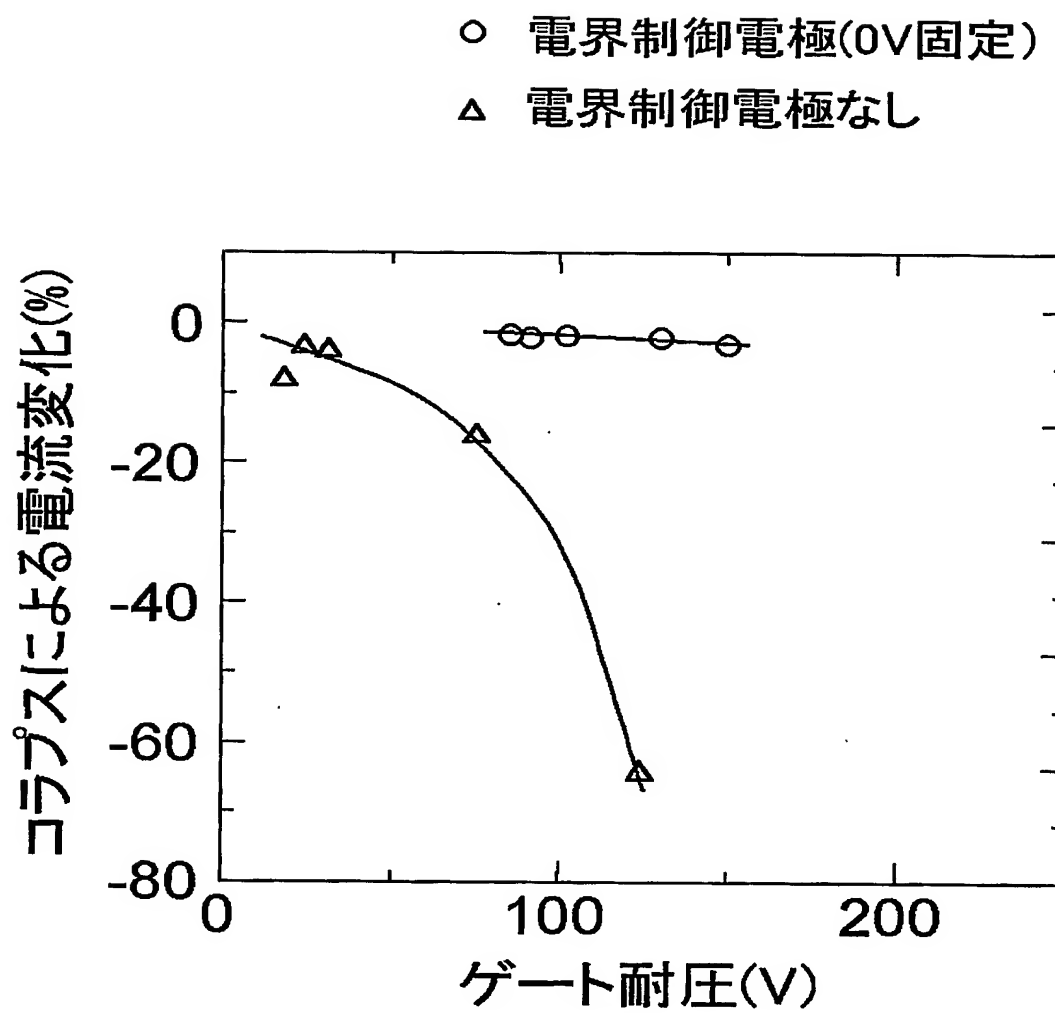


絶縁膜: SiN単層

電界制御電極寸法:  $0.5\mu\text{m}$

ゲートー電界制御電極間距離:  $0.5\mu\text{m}$

Fig.30

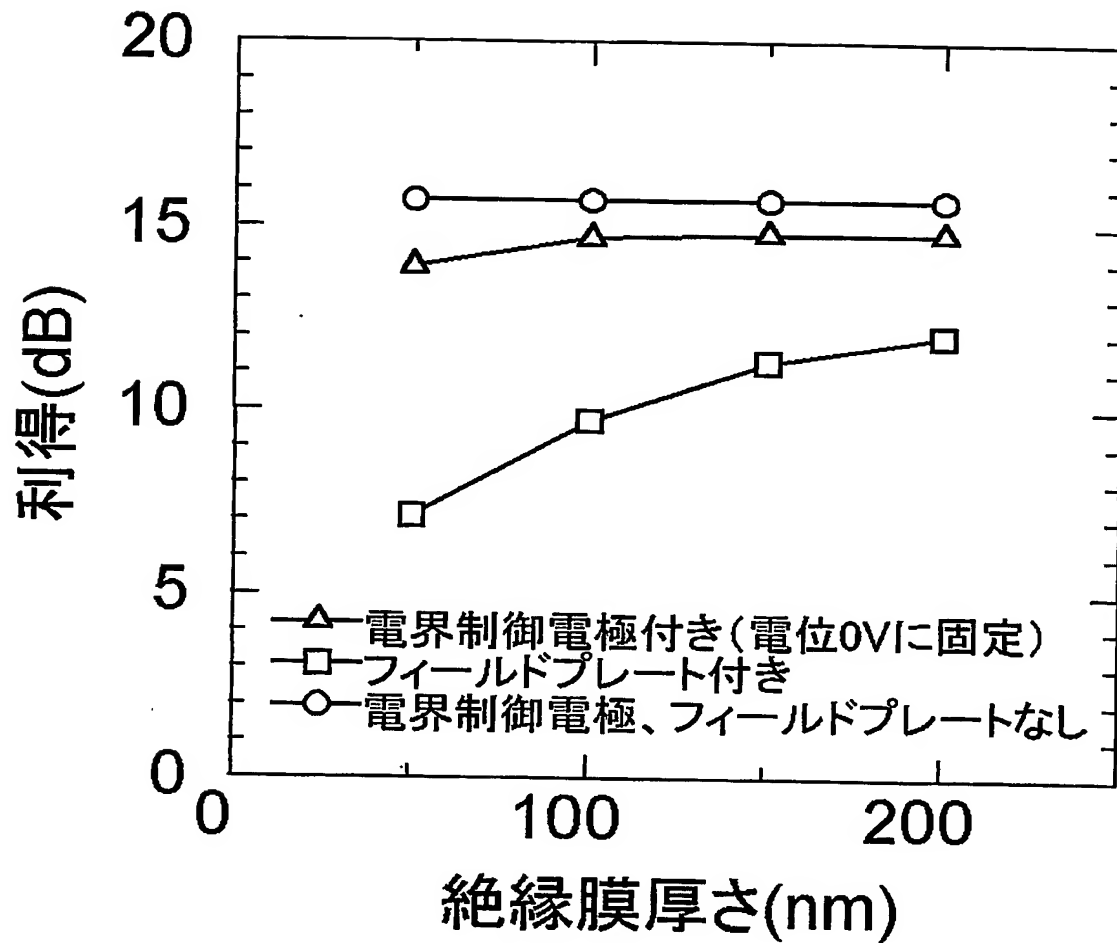


絶縁膜: SiN単層

電界制御電極寸法:  $1.0\mu\text{m}$

ゲートー電界制御電極間距離:  $0.5\mu\text{m}$

Fig.31



絶縁膜: SiN単層

FP長:  $1\mu\text{m}$

電界制御電極寸法:  $0.5\mu\text{m}$

ゲートー電界制御電極間距離:  $0.5\mu\text{m}$

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/16033

**A. CLASSIFICATION OF SUBJECT MATTER**  
Int.Cl<sup>7</sup> H01L29/812, H01L21/338

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H01L29/778, H01L29/80, H01L29/812, H01L21/338, H01L21/31

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Toroku Jitsuyo Shinan Koho	1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)  
IEEE, xplore

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2000-286428 A (NEC Corp.), 13 October, 2000 (13.10.00), Par. Nos. [0002] to [0019]; Figs. 1 to 6 (Family: none)	1-3, 7-9, 12-15, 17-18 4-6, 10-11, 16
Y	JP 11-176839 A (NEC Corp.), 02 July, 1999 (02.07.99), Par. No. [0034]; Fig. 4 (Family: none)	1-3, 18
Y	JP 2002-359256 A (Fujitsu Ltd.), 13 December, 2002 (13.12.02), Full text; all drawings (Family: none)	7, 13-15, 17-18

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* "A" "E" "L" "O" "P"	Special categories of cited documents: document defining the general state of the art which is not considered to be of particular relevance earlier document but published on or after the international filing date document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) document referring to an oral disclosure, use, exhibition or other means document published prior to the international filing date but later than the priority date claimed	"I" "X" "Y" "&"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art document member of the same patent family
--------------------------------------	---	--------------------------	--

Date of the actual completion of the international search  
19 March, 2004 (19.03.04)

Date of mailing of the international search report  
06 April, 2004 (06.04.04)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/16033

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2001-189324 A (Ricoh Co., Ltd.), 10 July, 2001 (10.07.01), Par. Nos. [0013] to [0020] (Family: none).	8-9, 12, 18
Y	JP 2002-222860 A (Sony Corp.), 09 August, 2002 (09.08.02), Page 3, right column, line 34 to page 4, left column, line 5 (Family: none)	8-9, 12, 18

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup>

H01L29/812 H01L21/338

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup>H01L29/778 H01L29/80 H01L29/812 H01L21/338  
H01L21/31

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国実用新案登録公報	1996-2004年
日本国登録実用新案公報	1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

IEEE explore

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2000-286428 A (日本電気株式会社) 2000. 10. 13, 【0002】段落~【0019】段落, 【0019】段落, 第1図~第6図 (ファミリーなし)	1-3, 7-9, 12- 15, 17-18
A		4-6, 10-11, 16
Y	JP 11-176839 A (日本電気株式会社) 1999. 07. 02, 【0034】段落, 第4図 (ファミリーなし)	1-3, 18

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献  
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」 同一パテントファミリー文献

国際調査を完了した日

19. 03. 2004

国際調査報告の発送日

06. 4. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
郵便番号100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)  
小川 将之

4M 9634

電話番号 03-3581-1101 内線 3462

## C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2002-359256 A (富士通株式会社) 2002. 12. 13, 全文, 全図 (ファミリーなし)	7, 13-15, 17-18
Y	JP 2001-189324 A (株式会社リコー) 2001. 07. 10, 【0013】段落～【0020】段落 (ファミリーなし)	8-9, 12, 18
Y	JP 2002-222860 A (ソニー株式会社) 2002. 08. 09, 第3頁右欄第34行～第4頁左欄第5行 (ファミリーなし)	8-9, 12, 18